



Circuite digitale

== Prezentare rapidă ==



Cuprins:

0. Introducere

I. Porți logice;

II. CLC de complexitate medie;

III. Bistabili;

IV. Registre

V. Numărătoare



Ce este un circuit logic?

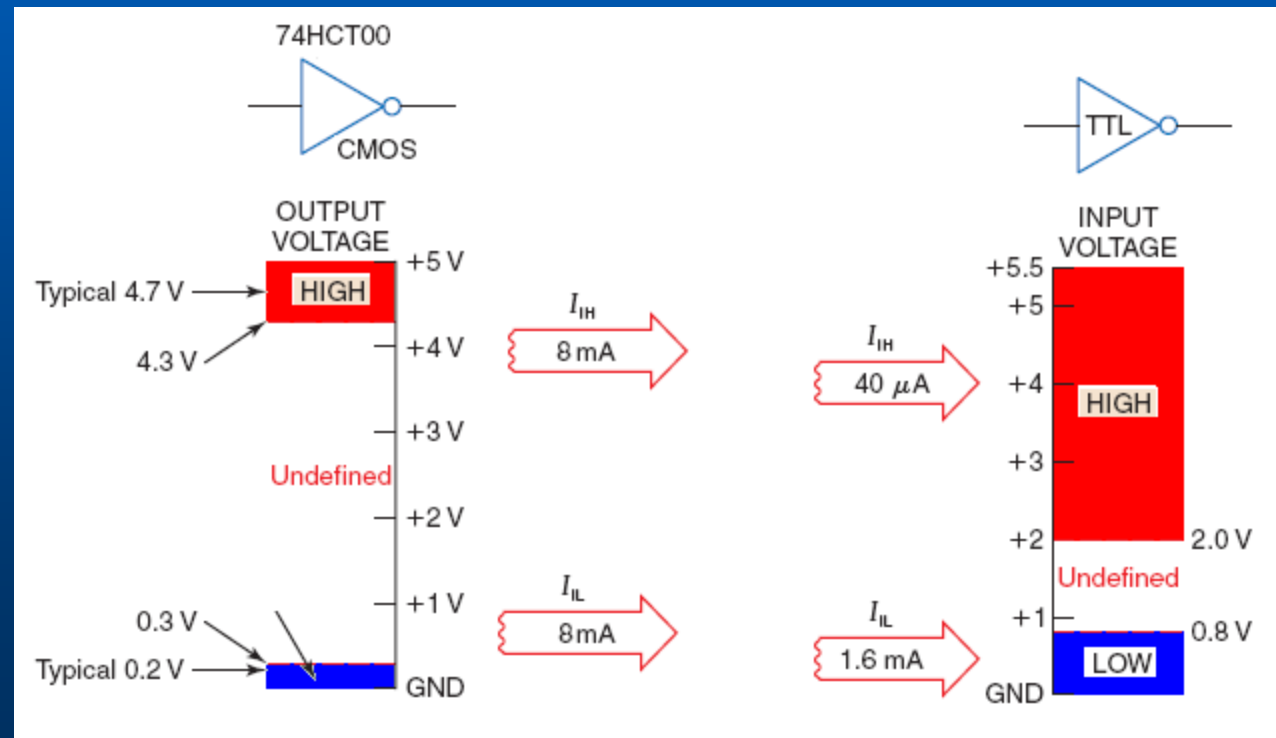
- Un circuit electronic ce lucrează cu semnale discrete de tensiune atât la intrare cât și la ieșire;

- La o primă analiză se poate spune că:

Unu logic = +5V;

Zero logic = 0V;

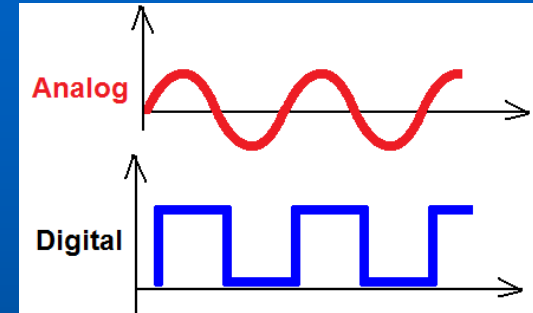
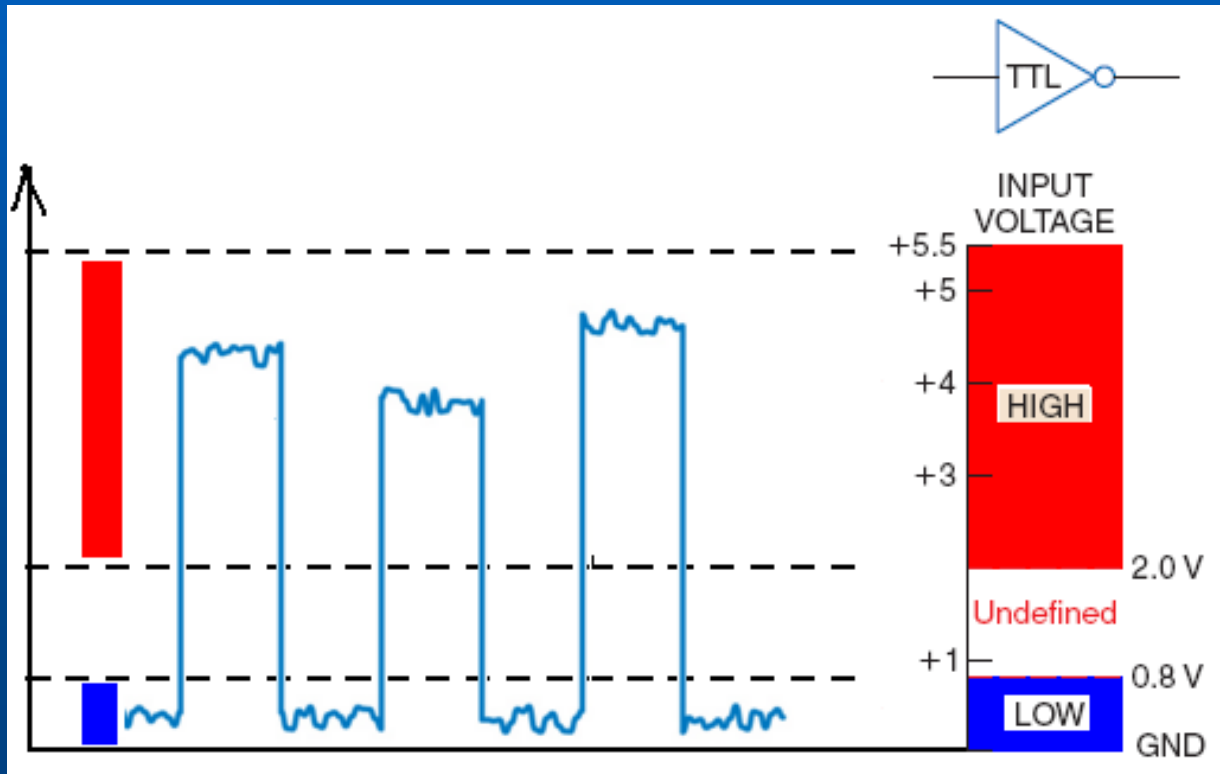
- În realitate, există câte o bandă de tensiune alocată pentru fiecare valoare logică;





0. Introducere;

Cum arată un semnal digital?

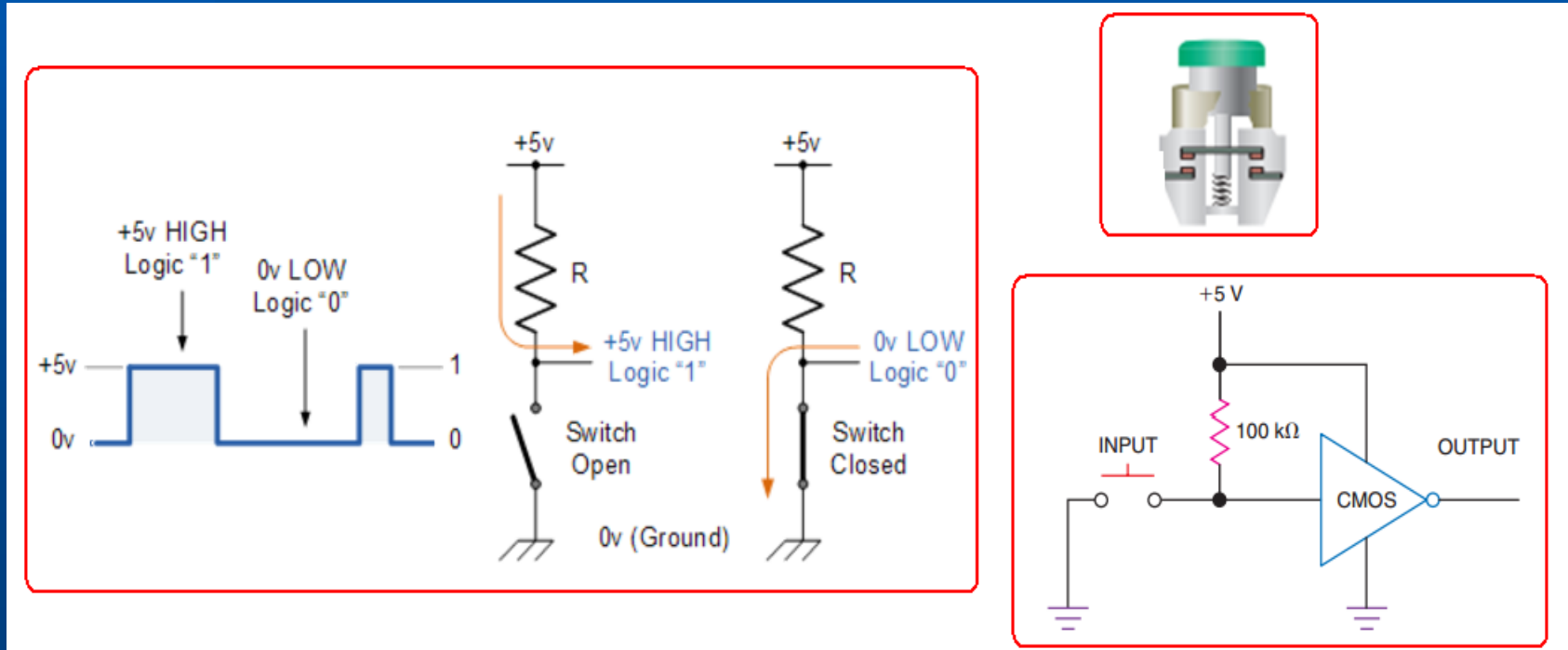




Ce conectăm la intrările unui circuit logic?

- Semnale discrete de tensiune ce provin de la ieșirea altor circuite logice sau de la elemente de intrare de tip “tot sau nimic”;

a) Contacte cu acționare manuală



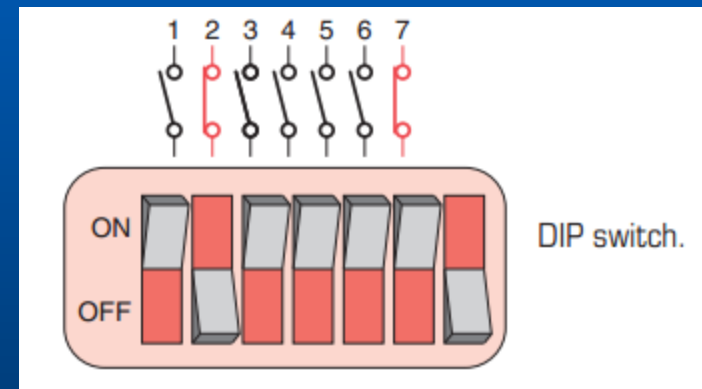
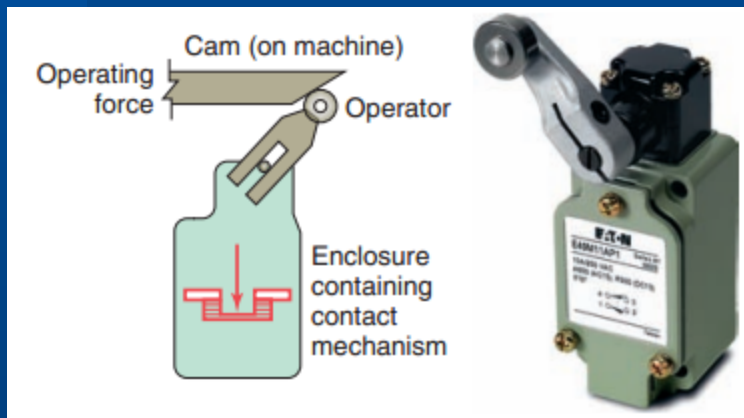


Ce conectăm la intrările unui circuit logic?

b) Switch-uri;

c) Contacte cu acționare mecanică

Limitatoare de cursă;

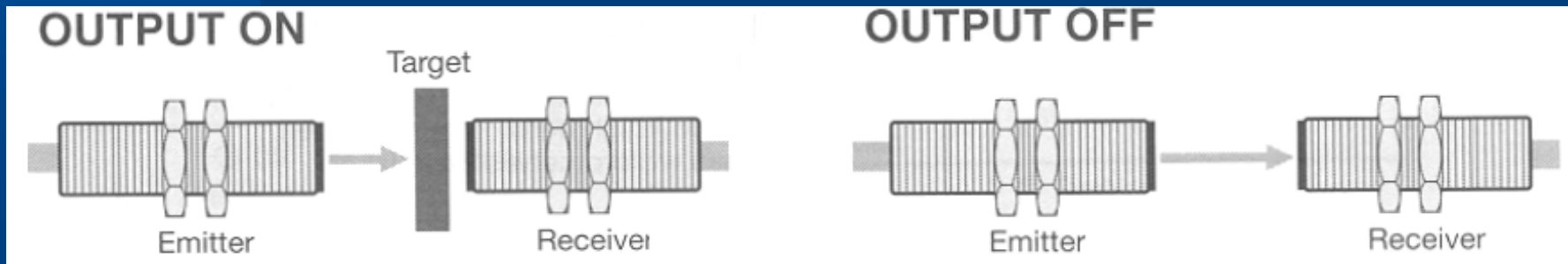
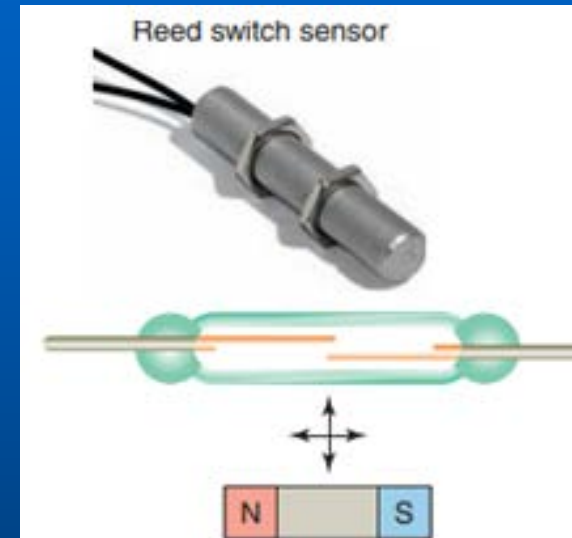


0. Introducere;



Ce conectăm la intrările unui circuit logic?

- d) switch-uri cu acționare magnetică (releu reed);
- e) Senzori de proximitate;
- f) Senzori optici;



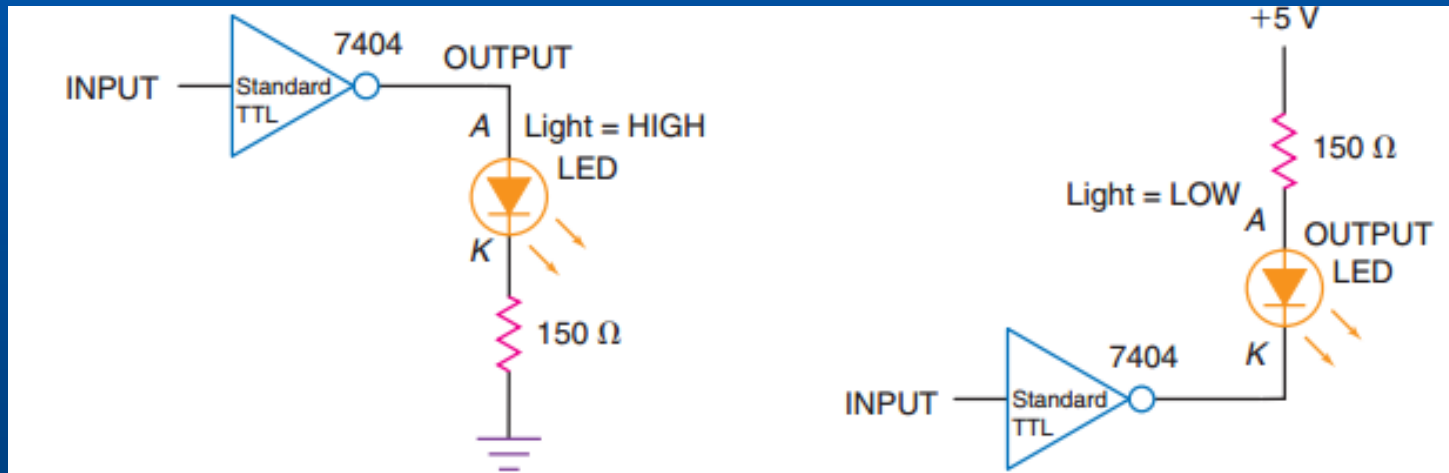


0. Introducere;

Ce conectăm la ieșirile unui circuit logic?

- Intrările ce aparțin altor circuite logice;
- Elemente de execuție sau de semnalizare (prin circuite de interfațare);

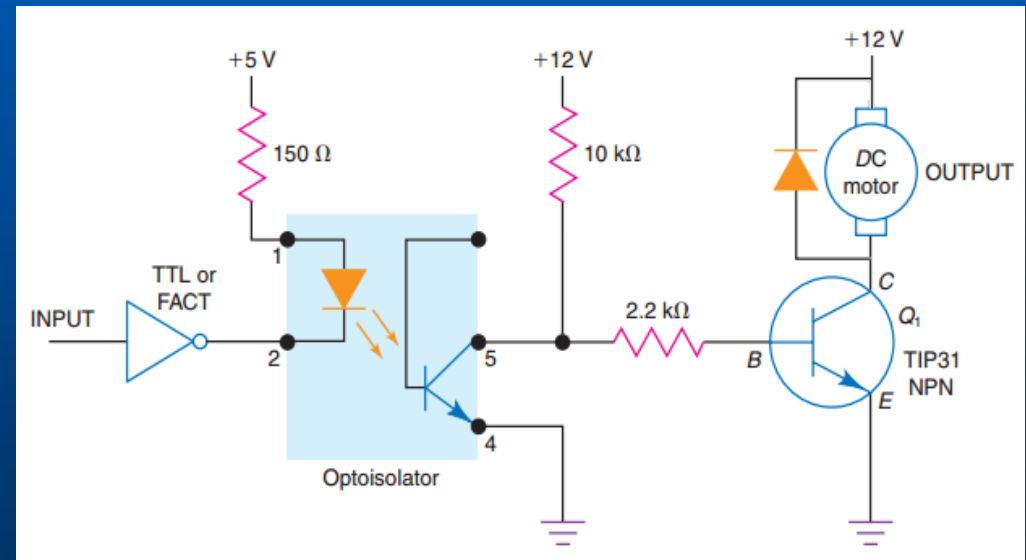
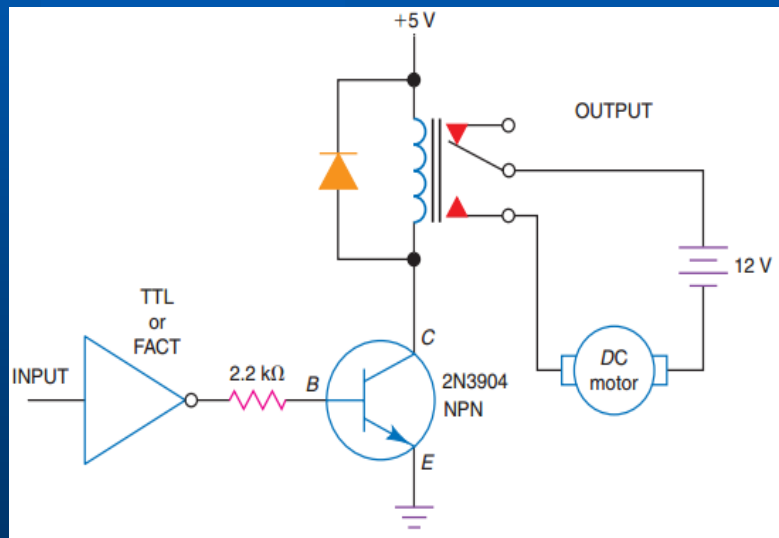
a) Elemente de semnalizare





Ce conectăm la ieșirile unui circuit logic?

b) Elemente de execuție (prin circuite de interfațare)



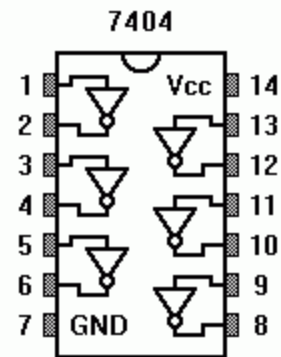


1. Inversorul logic

- Realizează funcția de complementare (negare) a variabilei de intrare;
- Are o singură intrare;
- 6 inversoare într-o singură capsulă de circuit integrat;



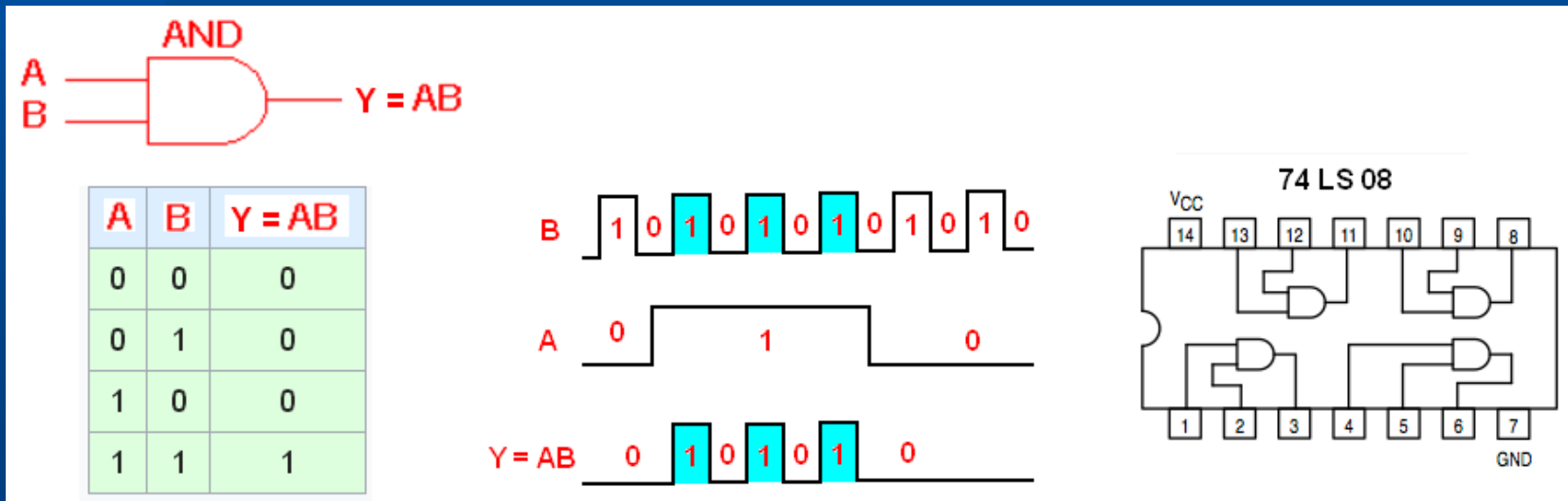
INPUT	OUTPUT
A	$Y = \bar{A}$
0	1
1	0





2. Poarta AND (poarta SI)

- Realizează funcția logică AND între 2 sau mai multe intrări;
- Realizează funcția algebrică de minim al variabilelor de intrare;
- 4 porți AND cu 2 intrări într-o singură capsulă de circuit integrat;
- *“Blocarea” porții se face aplicând un zero logic pe oricare intrare;*





3. Poarta NAND (poarta SI-NU)

- Realizează funcția logică NAND între 2 sau mai multe intrări;
- Realizează funcția algebrică de minim negat al variabilelor de intrare;
- 4 porți NAND cu 2 intrări într-o singură capsulă de circuit integrat;
- *“Blocarea” porții se face aplicând un zero logic pe oricare intrare;*

NAND

$Y = \overline{AB}$

A	B	$Y = \overline{AB}$
0	0	1
0	1	1
1	0	1
1	1	0

AND NOT

$Y = \overline{AB}$

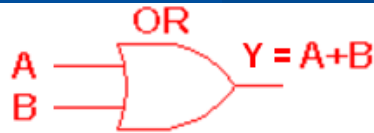
$Y = \overline{AB}$

74 LS 00

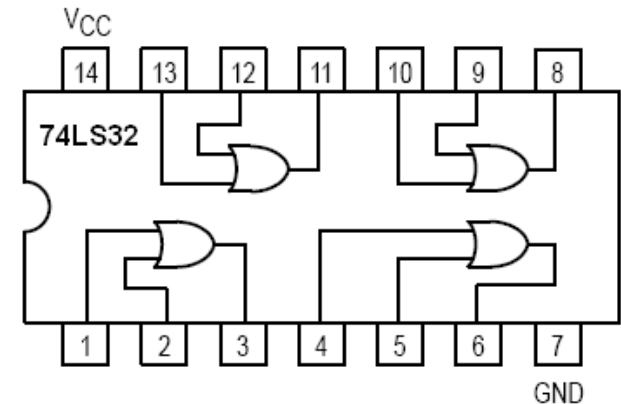
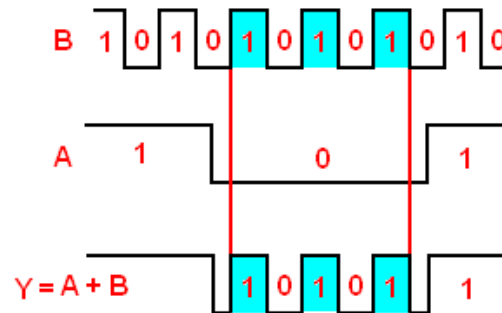


4. Poarta OR (poarta SAU)

- Realizează funcția logică OR între 2 sau mai multe intrări;
- Realizează funcția algebrică de maxim al variabilelor de intrare;
- 4 porți OR cu 2 intrări într-o singură capsulă de circuit integrat;
- *“Blocarea” porții se face aplicând un unu logic pe oricare intrare;*



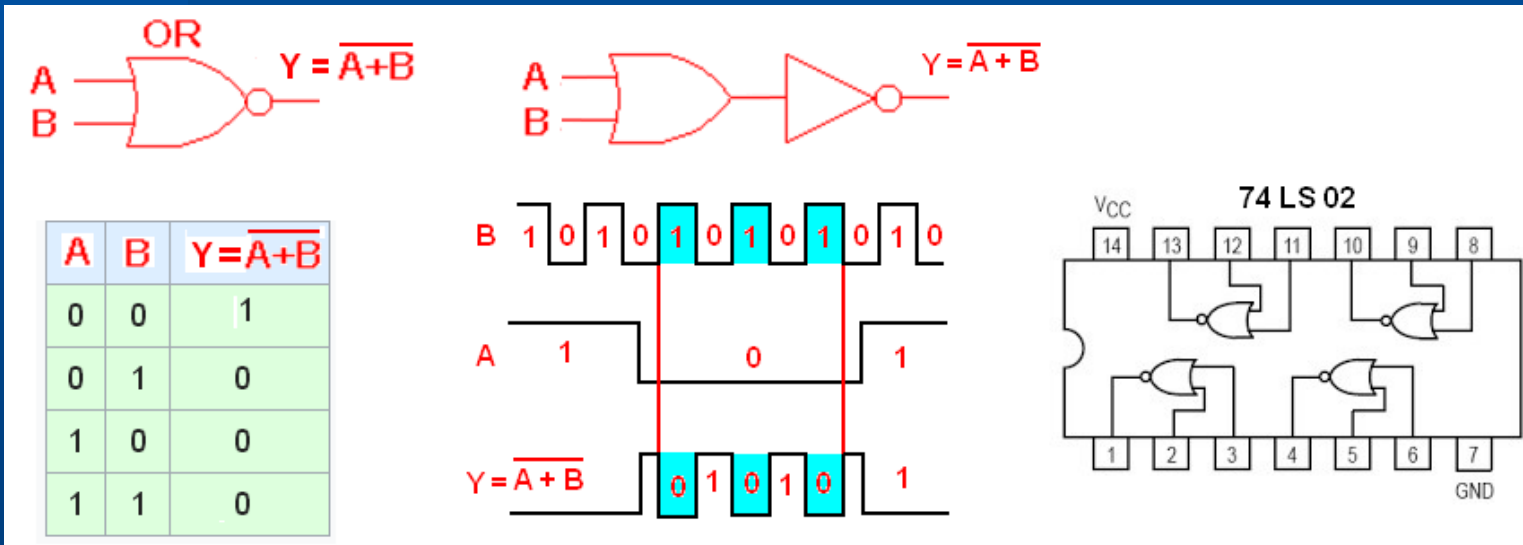
A	B	Y=A+B
0	0	0
0	1	1
1	0	1
1	1	1





5. Poarta NOR (poarta SAU-NU)

- Realizează funcția logică NOR între 2 sau mai multe intrări;
- Realizează funcția algebrică de maxim negat al variabilelor de intrare;
- 4 porți NOR cu 2 intrări într-o singură capsulă de circuit integrat;
- *“Blocarea” porții se face aplicând un unu logic pe oricare intrare;*





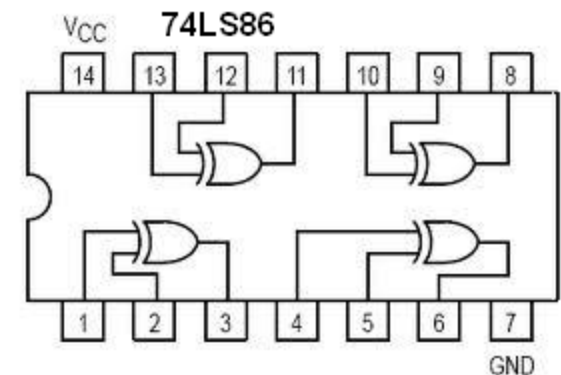
I. Porți logice; Aplicații;

6. Poarta XOR (SAU-EXCLUSIV)

- Are doar 2 intrări;
- Trei posibile interpretări:
 - Adunare modulo 2;
 - Indica necoincidența intrărilor;
 - Inversare controlată;
 - dacă $A=0 \Rightarrow Y=B$
 - dacă $A=1 \Rightarrow Y=\text{not } B$
- 4 porți XOR cu 2 intrări într-o singură capsulă de circuit integrat;
- *“Blocarea” porții nu este posibilă;*



A	B	$Y = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

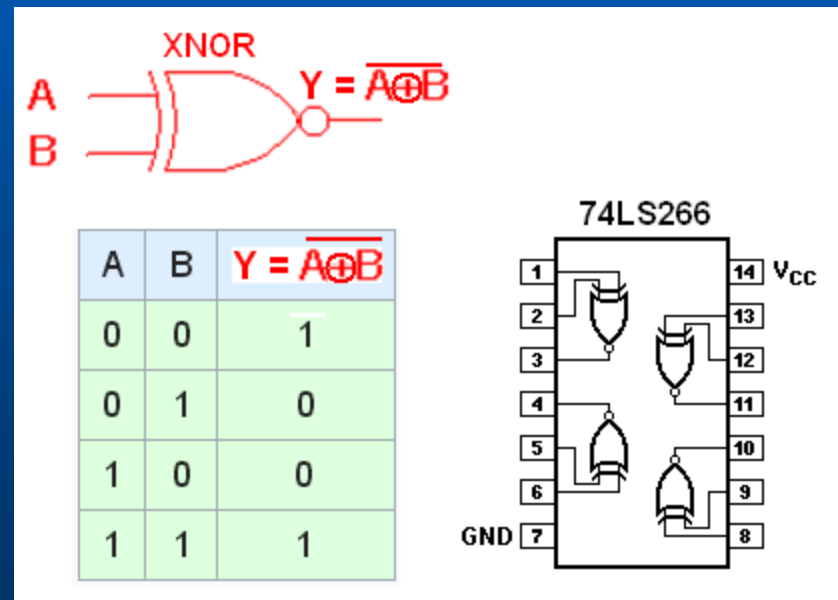




7. Poarta XNOR

- Are doar 2 intrări;
- Realizează inversul funcției XOR;
- Trei posibile interpretări;
- 4 porți XOR cu 2 intrări într-o singură capsulă de circuit integrat;
- **“Blocarea” porții nu este posibilă;**

Echivalența intrărilor este semnalizată prin unu logic .





Aplicația 1: Compararea a doua numere scrise pe 3 biți fiecare

- Operanzii sunt de forma:

$$X(x_2, x_1, x_0) \quad Y(y_2, y_1, y_0)$$

- $X = Y$ dacă și numai dacă avem egalitate pe fiecare bit de aceeași pondere:

$$y_2 = x_2$$

$$y_1 = x_1 \quad \Rightarrow (y_2 = x_2) \text{ și } (y_1 = x_1) \text{ și } (y_0 = x_0)$$

$$y_0 = x_0$$

- Verificarea egalității la nivel de bit se face cu porți XNOR;
- Ecuația finală devine:

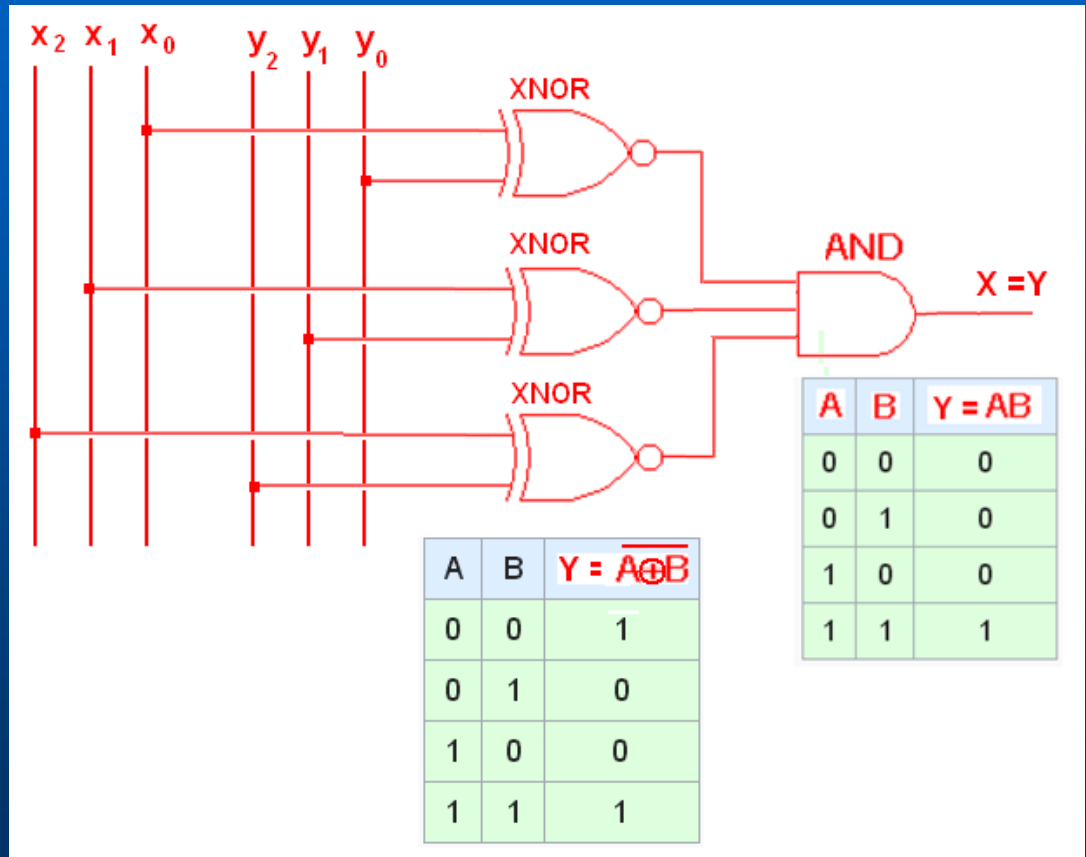
$$(y_2 \text{ XNOR } x_2) \text{ AND } (y_1 \text{ XNOR } x_1) \text{ AND } (y_0 \text{ XNOR } x_0)$$

I. Porți logice; Aplicații;



Aplicația 1:

Compararea a doua numere pe 3 biți fiecare





Aplicația 2: Circuit de adunare a constantei 4 la un număr de intrare scris pe 3 biți

$X (x_2 \ x_1 \ x_0)$
 $Y (y_3 \ y_2 \ y_1 \ y_0)$

Tabelul de adevar

X	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Y
0	0	0	0	0	1	0	0	4
1	0	0	1	0	1	0	1	5
2	0	1	0	0	1	1	0	6
3	0	1	1	0	1	1	1	7
4	1	0	0	1	0	0	0	8
5	1	0	1	1	0	0	1	9
6	1	1	0	1	0	1	0	10
7	1	1	1	1	0	1	1	11

I. Porți logice; Aplicații;



Aplicația 2: Circuit de adunare a constantei 4 la un număr de intrare scris pe 3 biți

Expresia algebrică pentru ieșirea y_0

Tabelul de adevar

X	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Y
0	0	0	0	0	1	0	0	4
1	0	0	1	0	1	0	1	5
2	0	1	0	0	1	1	0	6
3	0	1	1	0	1	1	1	7
4	1	0	0	1	0	0	0	8
5	1	0	1	1	0	0	1	9
6	1	1	0	1	0	1	0	10
7	1	1	1	1	0	1	1	11

$$y_0 = x_0$$

I. Porți logice; Aplicații;



Porți logice

Aplicația 2: Circuit de adunare a constantei 4 la un număr de intrare scris pe 3 biți

Expresia algebraică pentru ieșirea y_1

Tabelul de adevar

X	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Y
0	0	0	0	0	1	0	0	4
1	0	0	1	0	1	0	1	5
2	0	1	0	0	1	1	0	6
3	0	1	1	0	1	1	1	7
4	1	0	0	1	0	0	0	8
5	1	0	1	1	0	0	1	9
6	1	1	0	1	0	1	0	10
7	1	1	1	1	0	1	1	11

$y_1 = x_1$

I. Porți logice; Aplicații;



Aplicația 2: Circuit de adunare a constantei 4 la un număr de intrare scris pe 3 biți

Expresia algebrică pentru ieșirea y_2

Tabelul de adevar

X	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Y
0	0	0	0	0	1	0	0	4
1	0	0	1	0	1	0	1	5
2	0	1	0	0	1	1	0	6
3	0	1	1	0	1	1	1	7
4	1	0	0	1	0	0	0	8
5	1	0	1	1	0	0	1	9
6	1	1	0	1	0	1	0	10
7	1	1	1	1	0	1	1	11

$$y_2 = \bar{x}_2$$



Aplicația 2: Circuit de adunare a constantei 4 la un număr de intrare scris pe 3 biți

Expresia algebrică pentru ieșirea y_3

Tabelul de adevar

X	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Y
0	0	0	0	0	1	0	0	4
1	0	0	1	0	1	0	1	5
2	0	1	0	0	1	1	0	6
3	0	1	1	0	1	1	1	7
4	1	0	0	1	0	0	0	8
5	1	0	1	1	0	0	1	9
6	1	1	0	1	0	1	0	10
7	1	1	1	1	0	1	1	11

$$y_3 = x_2$$



Aplicația 2: Circuit de adunare a constantei 4 la un număr de intrare scris pe 3 biți

Etapele parcurse pentru sinteza schemei logice

1. Descriere in limbaj natural a functiei logice ce trebuie implementate



2. Tabelul de adevar

X	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Y
0	0	0	0	0	1	0	0	4
1	0	0	1	0	1	0	1	5
2	0	1	0	0	1	1	0	6
3	0	1	1	0	1	1	1	7
4	1	0	0	1	0	0	0	8
5	1	0	1	1	0	0	1	9
6	1	1	0	1	0	1	0	10
7	1	1	1	1	0	1	1	11

3. Expresii algebrice

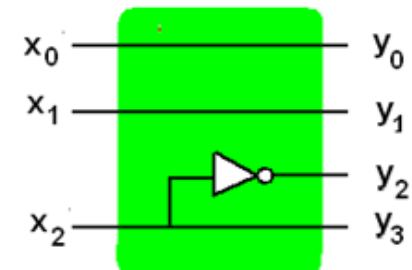
$$y_0 = x_0$$

$$y_1 = x_1$$

$$y_2 = \bar{x}_2$$

$$y_3 = x_2$$

4. Schema logica





Circuite logice combinaționale de complexitate medie

- 1. Decodificatoare*
- 2. Demultiplexoare*
- 3. Multiplexoare*

II. CLC de complexitate medie; Aplicații;



1. Decodificatorul (DCD)

Caracteristici

- n intrări de selecție;
- **2 la puterea n** ieșiri;
- Doar o singură ieșire poate fi activă;

Intrările de selecție (adresă) pot fi notate în mai multe moduri:

- C B A;
- S2 S1 S0;
- A2 A1 A0;

Ieșirile pot fi:

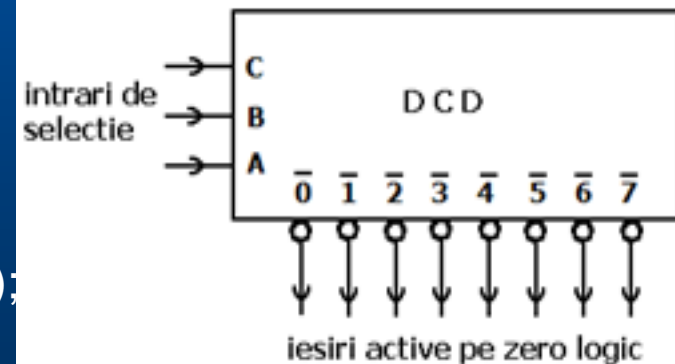
- active pe zero logic (vezi circuitul alăturat);
- active pe unu logic;

Ieșirile active pe zero au un cerculeț în simbolul grafic;

Tabelul de adevar

C	B	A	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Simbol



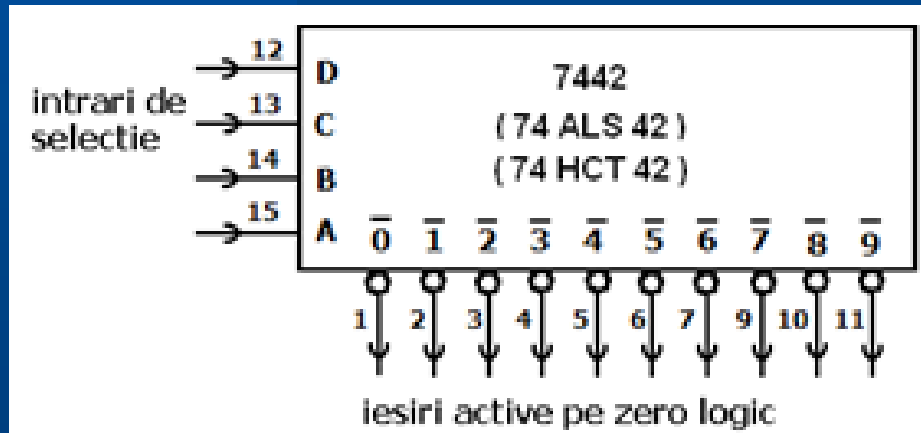
II. CLC de complexitate medie; Aplicații;



Circuitul 7442 – decodificator zecimal

Caracteristici:

- 4 intrări de selecție notate DCBA;
- 10 ieșiri active pe zero logic;
- Doar o singură ieșire poate fi activă;
- Pentru coduri mai mari de 1001 circuitul nu activează nicio ieșire;



Tabelul de adevar pentru circuitul 7442

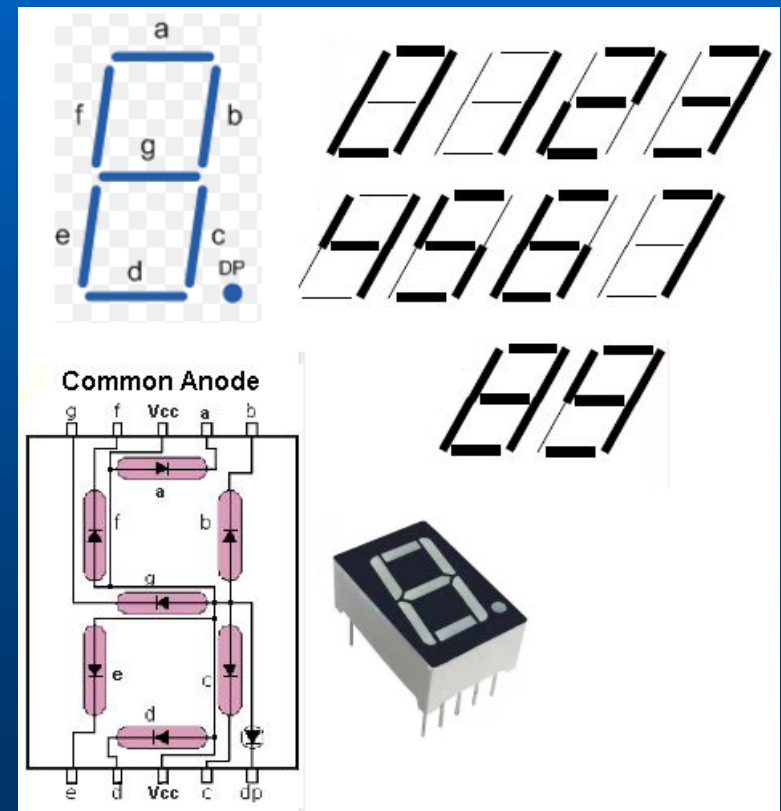
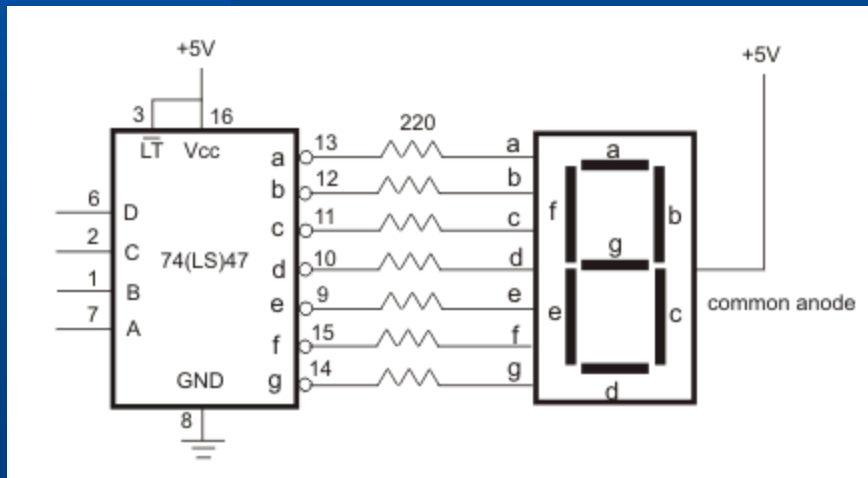
D	C	B	A	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$	$\bar{8}$	$\bar{9}$
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

II. CLC de complexitate medie; Aplicații;

Circuitul 7447 – BCD – 7 segmente

Caracteristici

- 4 intrări de selecție notate DCBA;
- 7 ieșiri active pe zero logic;
- Folosit pentru comanda afișajelor numerice cu anod comun ;

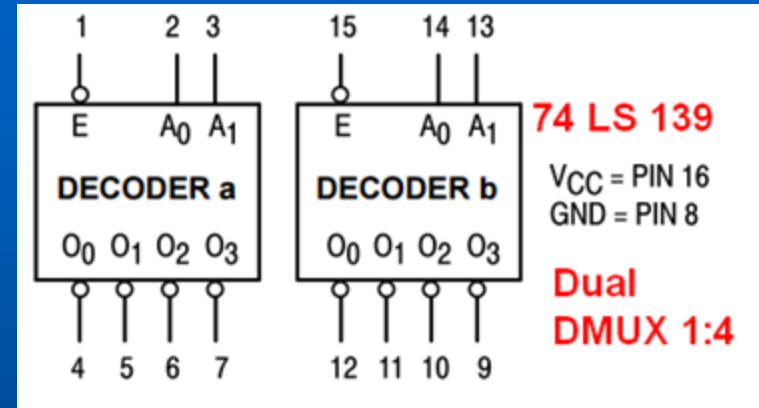


II. CLC de complexitate medie; Aplicații;

2. Demultiplexorul (DMUX)

Caracteristici

- n intrări de selecție/ adresă;
- **2 la puterea n** ieșiri;
- O intrare de validare / intrare de date;
- Doar o singură ieșire poate fi activă;
- Funcționare:
 - Dacă intrarea de **Enable** este validată, circuitul lucrează ca un DCD;
 - Dacă intrarea de **Enable** nu este validată, circuitul nu permite activarea niciunei ieșiri DCD;
- Intrările și ieșirile sunt notate după aceleași reguli ca la DCD;

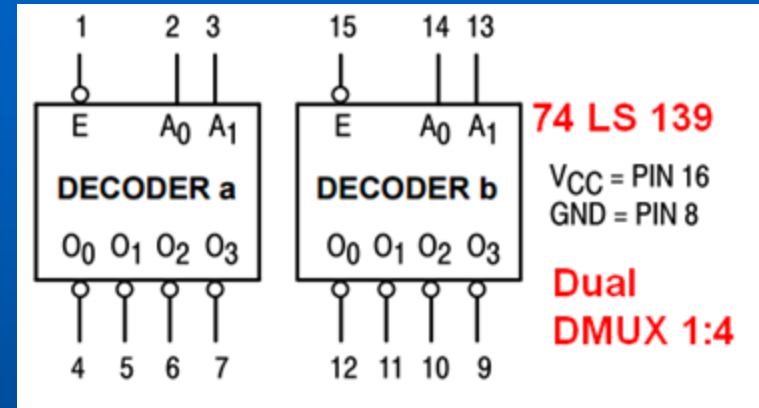
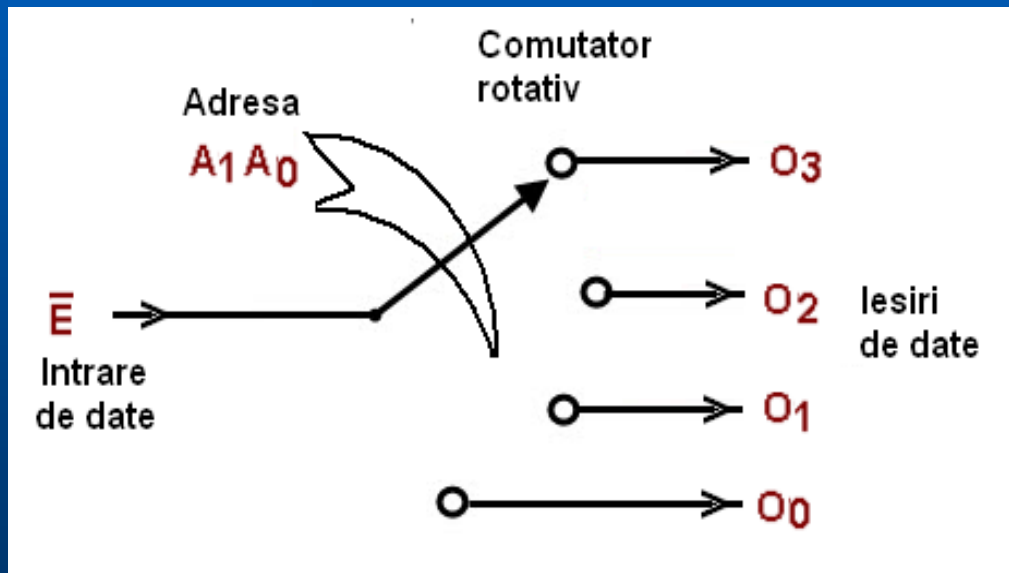


E	A ₁	A ₀	O ₀	O ₁	O ₂	O ₃
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

II. CLC de complexitate medie; Aplicații;

2. Demultiplexorul (DMUX)

Echivalență funcțională



E	A ₁	A ₀	O ₀	O ₁	O ₂	O ₃
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

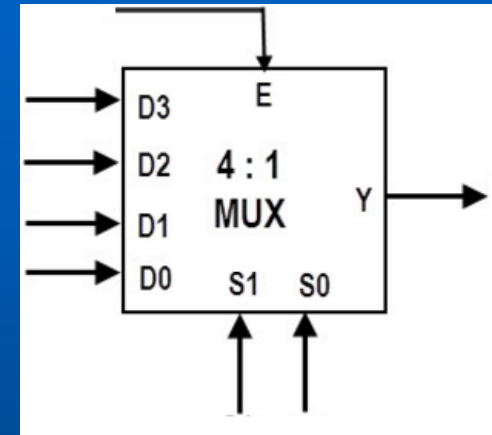
II. CLC de complexitate medie; Aplicații;



3. Multiplexorul (MUX)

Caracteristici

- n intrări de selecție / adresă;
- **2 la puterea n** intrări de date;
- o singură ieșire de date ;
- o intrare de validare;
- Funcționare:
 - Dacă intrarea de Enable este validată, circuitul lucrează ca un DCD;
 - Dacă intrarea de Enable nu este validată, circuitul nu permite activarea niciunei ieșiri DCD;
- Intrările și ieșirile sunt notate după aceleași reguli ca la DCD;

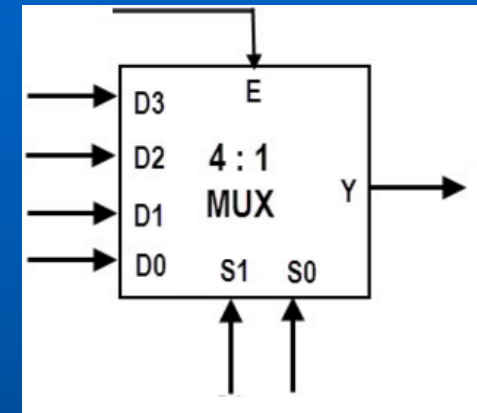
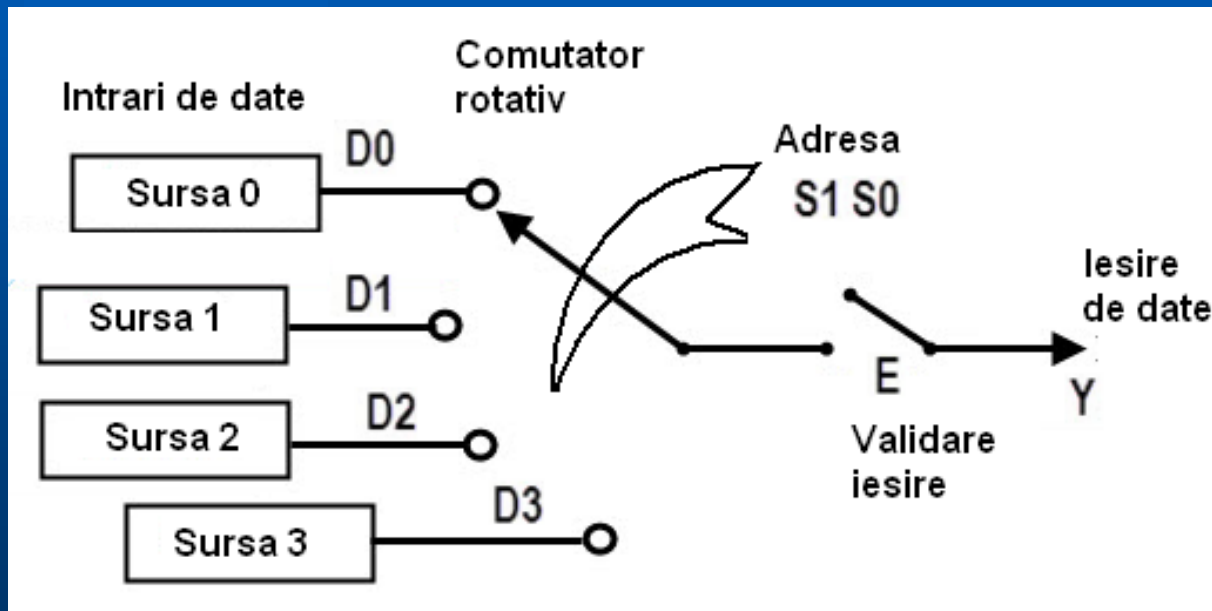


Select Data Inputs		Output
S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

II. CLC de complexitate medie; Aplicații;

3. Multiplexorul (MUX)

Echivalență funcțională



Select Data Inputs		Output
S ₁	S ₀	Y
0	0	D ₀
0	1	D ₁
1	0	D ₂
1	1	D ₃



Circuite logice secvențiale

- 1. Celule de memorie (Bistabili)*
- 2. Registre*
- 3. Numărătoare*



III. Celule de memorie la nivel de bit ; Aplicații;

Caracteristici generale:

- **Rol** – se comportă ca o celulă de memorie în care putem depune o informație de un bit în scopul memorării;
- **Citire** – procesul de extragere a informației din celula de memorie;
 - Pentru citire, celulele de memorie au două ieșiri: Q și Q negat;
 - Citirea se poate face în orice moment de timp;
- **Scriere** – procesul de introducere/modificare a informației din celula de memorie;
 - Pentru scriere, celulele de memorie au două tipuri de intrări:
 - intrări pasive – indică ce informație vrem să introducem în celula de memorie;
 - Intrare activă (intrarea de ceas) - indică momentul de timp în care informația nouă intră în celula de memorie;



III. Celule de memorie la nivel de bit ; Aplicații;

Caracteristici generale (continuare):

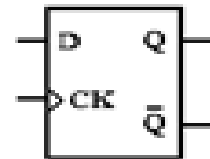
- **Clasificare celulelor de memorie** – se face după modul în care se face scrierea:
 - **Latch-uri** – accesul se face pe nivelul semnalului aplicat pe intrarea de ceas;
Introducerea informației în celula de memorie se face oricând, fără o sincronizare cu un semnal extern;
 - **Edge Triggered Flip-Flop** - accesul se face pe o tranziție a semnalului aplicat pe intrarea de ceas;
Introducerea informației în celula de memorie se poate face doar în momentele de timp în care semnalul ceas are tranziția activă. Așadar scrierea se execută sincron cu un semnal extern;



III. Celule de memorie la nivel de bit ; Aplicații;

1. Bistabilul de tip D

- Intrarea pasivă este notată cu D;
- Intrarea activă este intrarea de ceas și este notată cu CK;
- Informația de pe intrarea D este copiată pe tranziția pozitivă a semnalului de ceas;



a) Simbol

D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1

D	Q	Q ⁺
0	Q	0
1	Q	1

D	Q ⁺
0	0
1	1

b) Forme ale tabelului de adevar

Q → Q ⁺	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

c) Tabelul de tranziție a stărilor



III. Celule de memorie la nivel de bit ; Aplicații;

Circuitul 7474 –

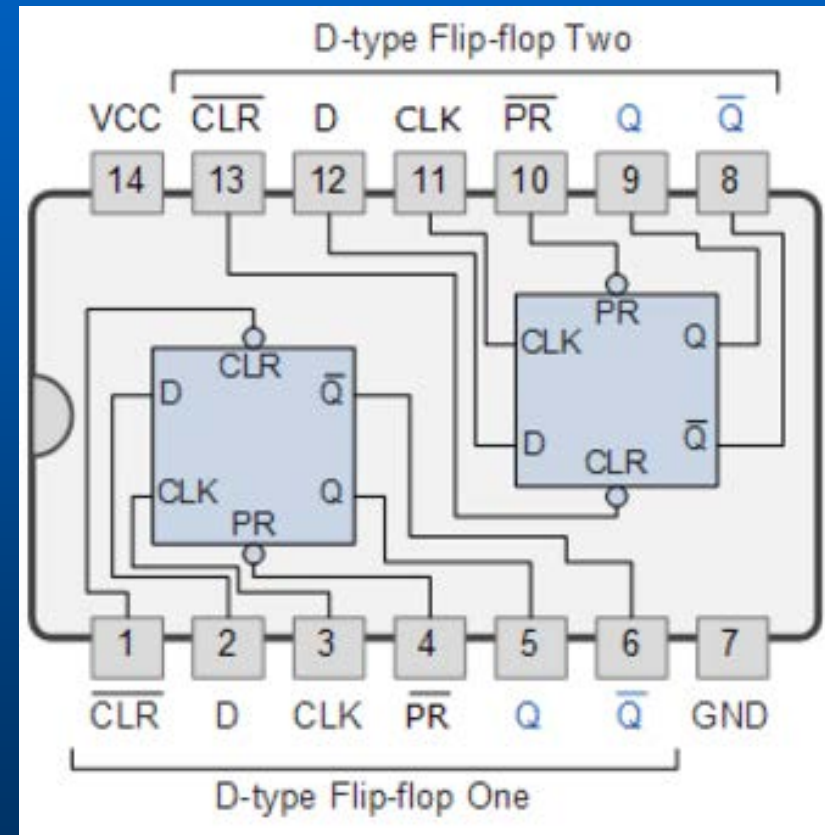
Bistabil D cu Set și Reset

Pe lângă intrările D și CK

prezentate anterior, circuitul mai prezintă două intrări asincrone:

- **CLEAR** – intrare activă pe zero folosită pentru aducerea forțată în starea $Q=0$;
- **PRESET** – intrare activă pe zero folosită pentru aducerea forțată în starea $Q=1$;

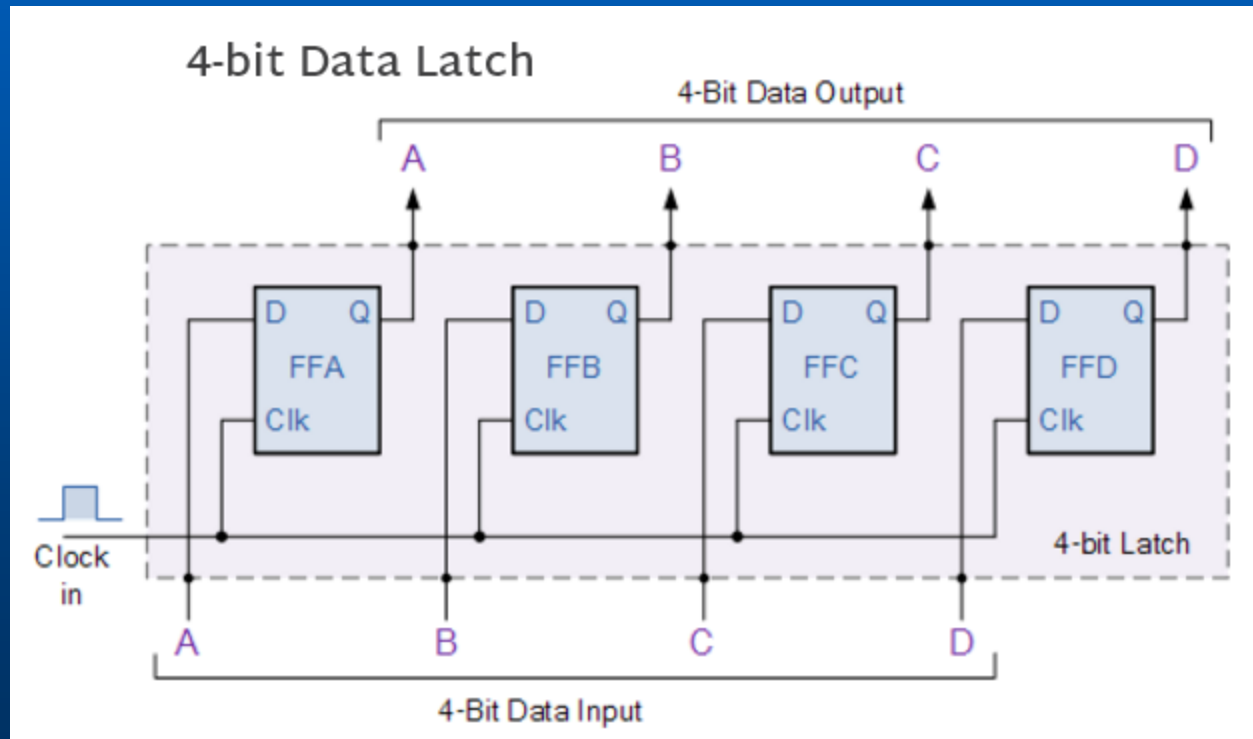
Atenție! Intrările **CLR** și **PR** au prioritate față de **D** și **CK** ;





III. Celule de memorie la nivel de bit ; Aplicații;

Bistabilul de tip D – utilizare în realizarea unui element de memorare a unei informații de 4 biți (registru paralel - paralel)

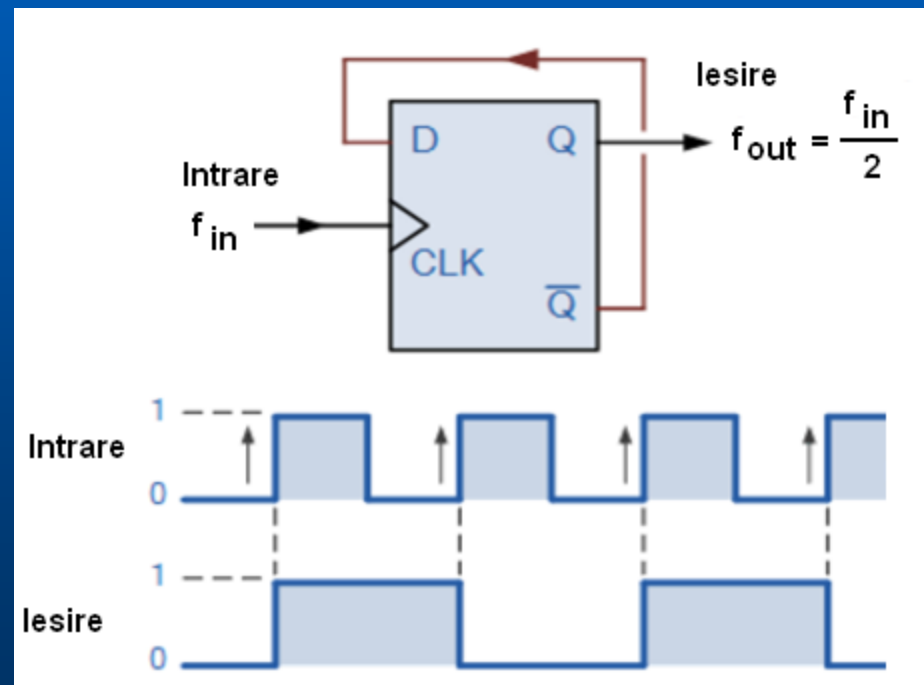




III. Celule de memorie la nivel de bit ; Aplicații;

Bistabilul de tip D - utilizare în realizarea unui divizor de frecvență cu 2 a semnalului de intrare

- Ca urmare a reacției de la ieșirea Q negat la intrarea D, bistabilul basculează la fiecare tranziție pozitivă a semnalului de intrare;
- Dacă legăm în serie mai multe celule de acest fel se poate obține o structură de numărător binar;

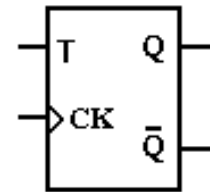




III. Celule de memorie la nivel de bit ; Aplicații;

2. Bistabilul de tip T

- Intrarea pasivă este notată cu T;
- Intrarea activă este intrarea de ceas și este notată cu CK;
- Pentru T=0 se memorează informația ce a fost introdusă anterior;
- Pentru T=1 informația din celula de memorie este negată (**basculare**);



a) Simbol

T	Q	Q ⁺
0	0	0
0	1	1
1	0	1
1	1	0

T	Q	Q ⁺
0	Q	Q
1	Q	\bar{Q}

T	Q ⁺
0	memorare
1	basculare

b) Forme ale tabelului de adevar

Q → Q ⁺	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

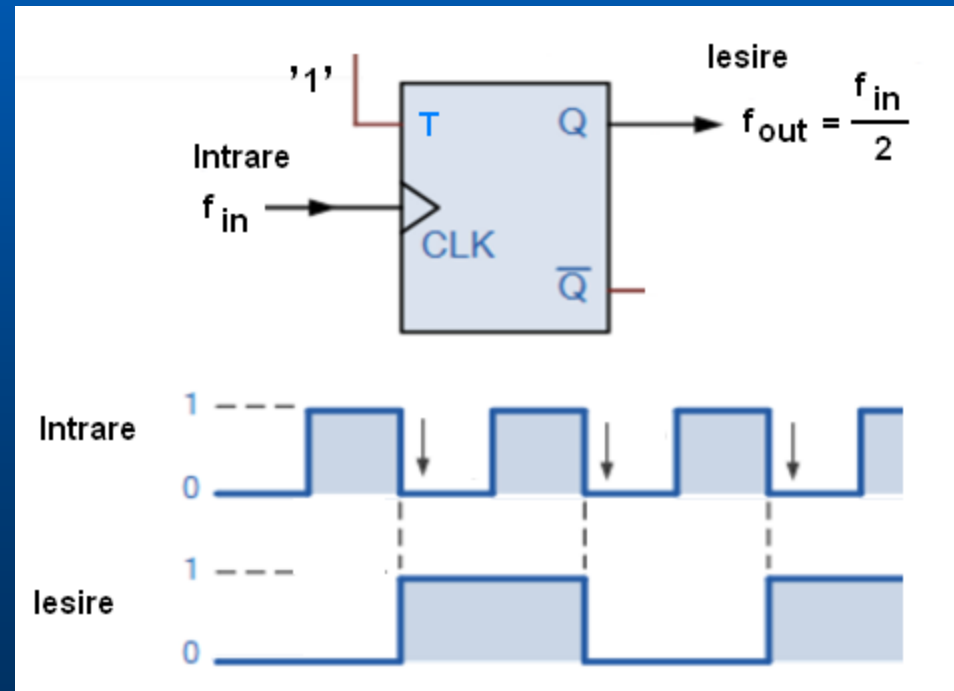
c) Tabelul de tranzitie a starilor



III. Celule de memorie la nivel de bit ; Aplicații;

Bistabilul de tip T - utilizare în realizarea unui divizor de frecvență cu 2 a semnalului de intrare

- Intrarea T este legată la unu logic în permanență;
- $T = 1$ are ca efect bascularea bistabilului la fiecare tranziție negativă a semnalului de ceas;
- Dacă legăm în serie mai multe celule de acest fel se poate obține o structură de numărător binar;

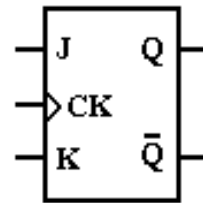




III. Celule de memorie la nivel de bit ; Aplicații;

3. Bistabilul de tip JK

- Intrările pasive sunt notate JK, iar intrarea activă cu CK;
- Pentru JK=00 avem memorare;
- Pentru JK=01 forțare în starea Q=0;
- Pentru JK=10 forțare în starea Q=1;
- Pentru JK=11 avem basculare;



a) Simbol

Q → Q ⁺	J	K
0 → 0	0	*
0 → 1	1	*
1 → 0	*	1
1 → 1	*	0

c) Tabelul de tranziție a starilor

J	K	Q	Q ⁺
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

* = don't care

J	K	Q	Q ⁺
0	0	Q	Q
0	1	*	0
1	0	*	1
1	1	Q	\bar{Q}

J	K	Q ⁺
0	0	memorare
0	1	0
1	0	1
1	1	basculare

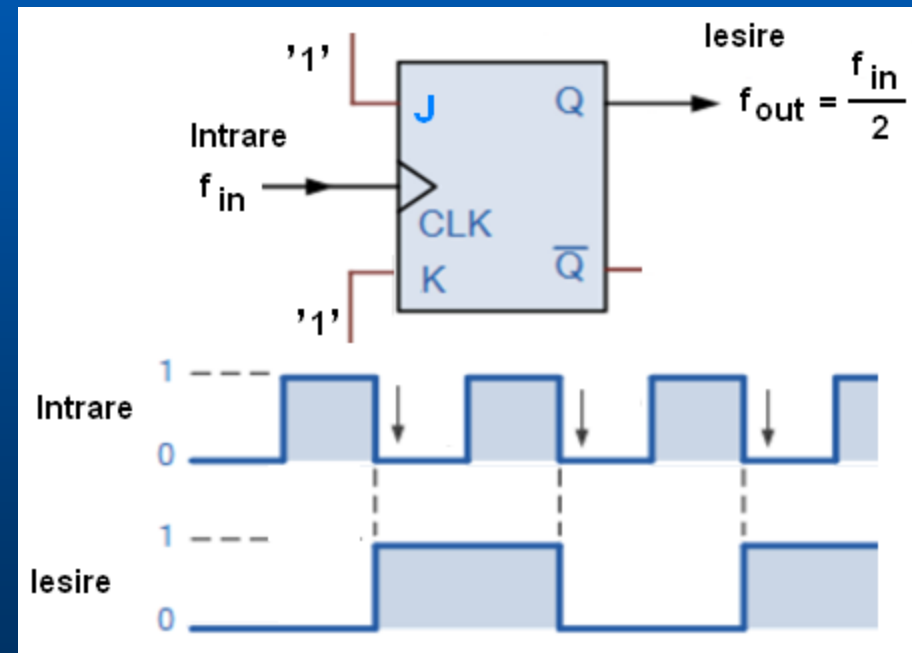
b) Forme ale tabelului de adevar



III. Celule de memorie la nivel de bit ; Aplicații;

Bistabilul de tip JK - utilizare în realizarea unui divizor de frecvență cu 2 a semnalului de intrare

- Intrările JK sunt legate permanent la starea de unu logic;
- JK= 11 are ca efect bascularea bistabilului la fiecare tranziție negativă a semnalului de ceas;
- Dacă legăm în serie mai multe celule de acest fel se poate obține o structură de numărător binar;

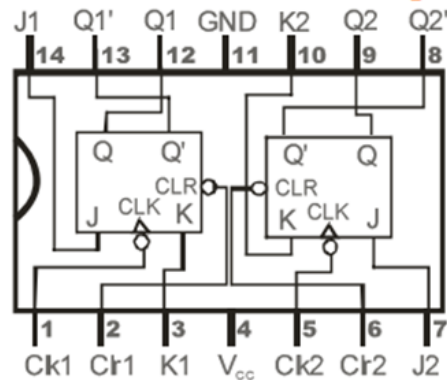




III. Celule de memorie la nivel de bit ; Aplicații;

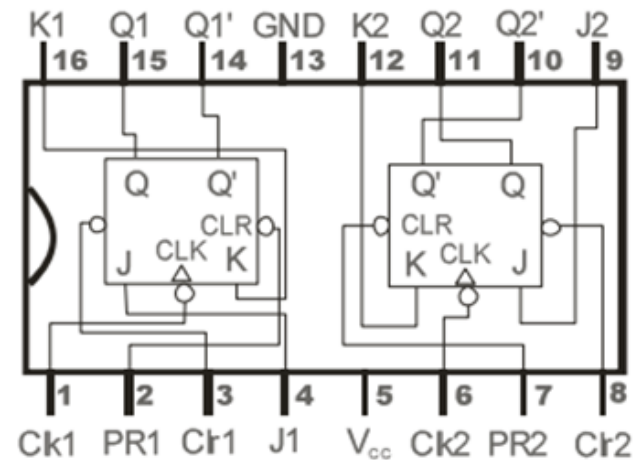
Exemple de bistabilul de tip JK

7473 Dual J-K Flip-Flop



Inputs				Outputs	
Clr	Clk	J	K	Q	Q'
L	X	X	X	L	H
H	↓	L	L	Q ₀	Q ₀ '
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	Toggle	
H	H	X	X	Q ₀	Q ₀ '

7476 Dual J-K Flip-Flop



Inputs					Outputs	
PR	Clr	Clk	J	K	Q	Q'
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q ₀	Q ₀ '
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	



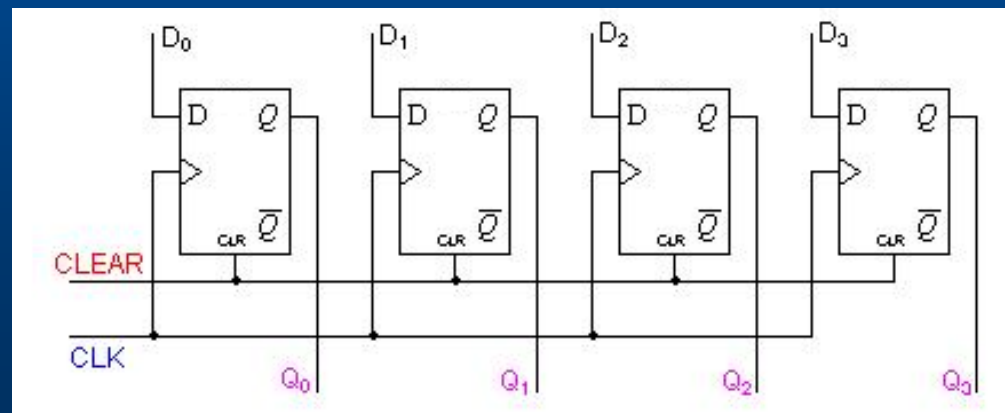
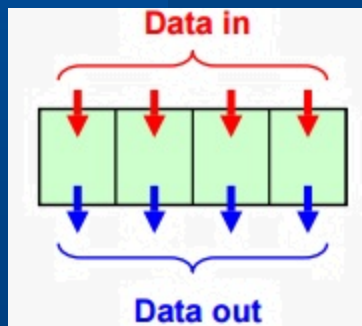
Caracteristici generale:

- **Rol** – memorie în care putem depune o informație pe mai muți biți;
- **Citire** – procesul de extragere a informației din celula de memorie;
 - ieșire paralelă;
 - ieșire serială;
 - ieșire serială/paralelă;
- **Scriere** – procesul de introducere/modificare a informației din registru;
 - intrare paralelă;
 - intrare serială;
 - intrare serială/paralelă;
- **Încărcarea unui registru** – se face sincron cu semnalul de ceas;



1. Registru parallel in / parallel out

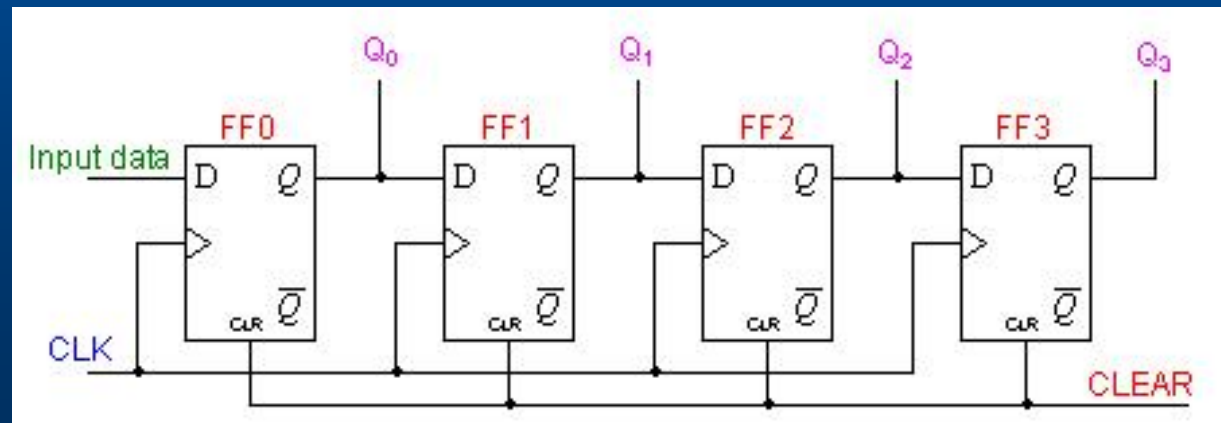
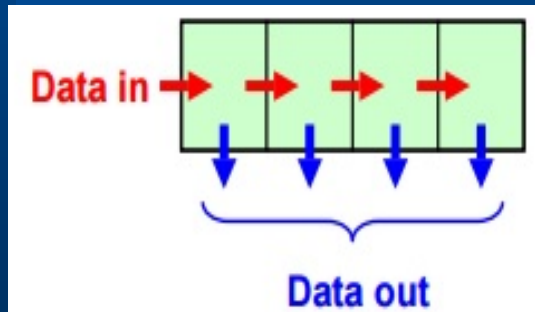
- Este denumit și registru de memorie;
- **Încărcarea** se face paralel (necesita doar o perioadă a semnalului de ceas);
- **Citire** – se face paralel (poate fi realizată în orice moment);
- Este folosit pentru stocarea temporară de date, mai ales în structura internă a microprocesoarelor;





2. Registru serial in / parallel out

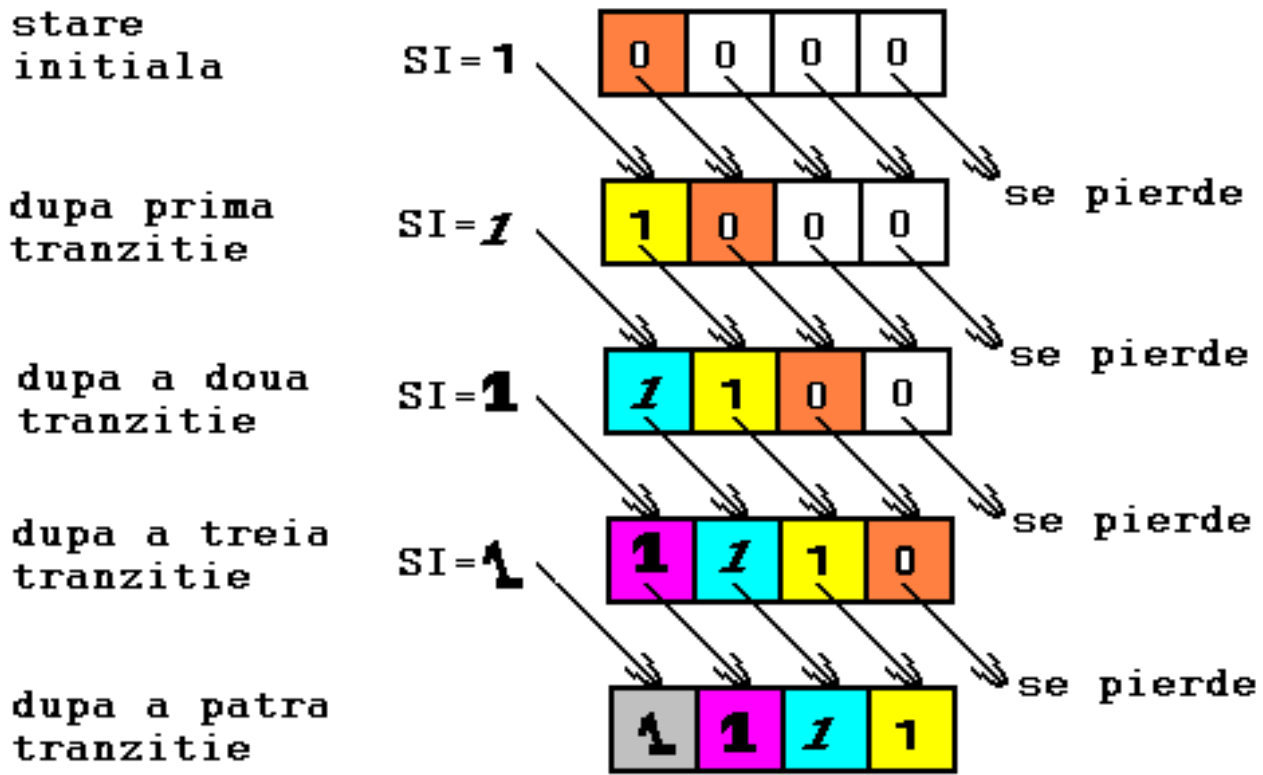
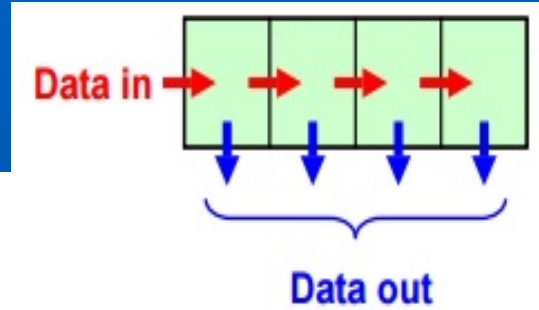
- Este denumit și registru de deplasare;
- **Încărcarea** se face serial, bit cu bit (necesita un număr de perioade de cea egal cu dimensiunea registrului);
- **Citire** – se face paralel (poate fi realizată în orice moment);
- **Utilizare: conversia din format serial în format paralel; realizare de operații aritmetice;**



IV. Registre; Aplicații;



Registru serie / paralel

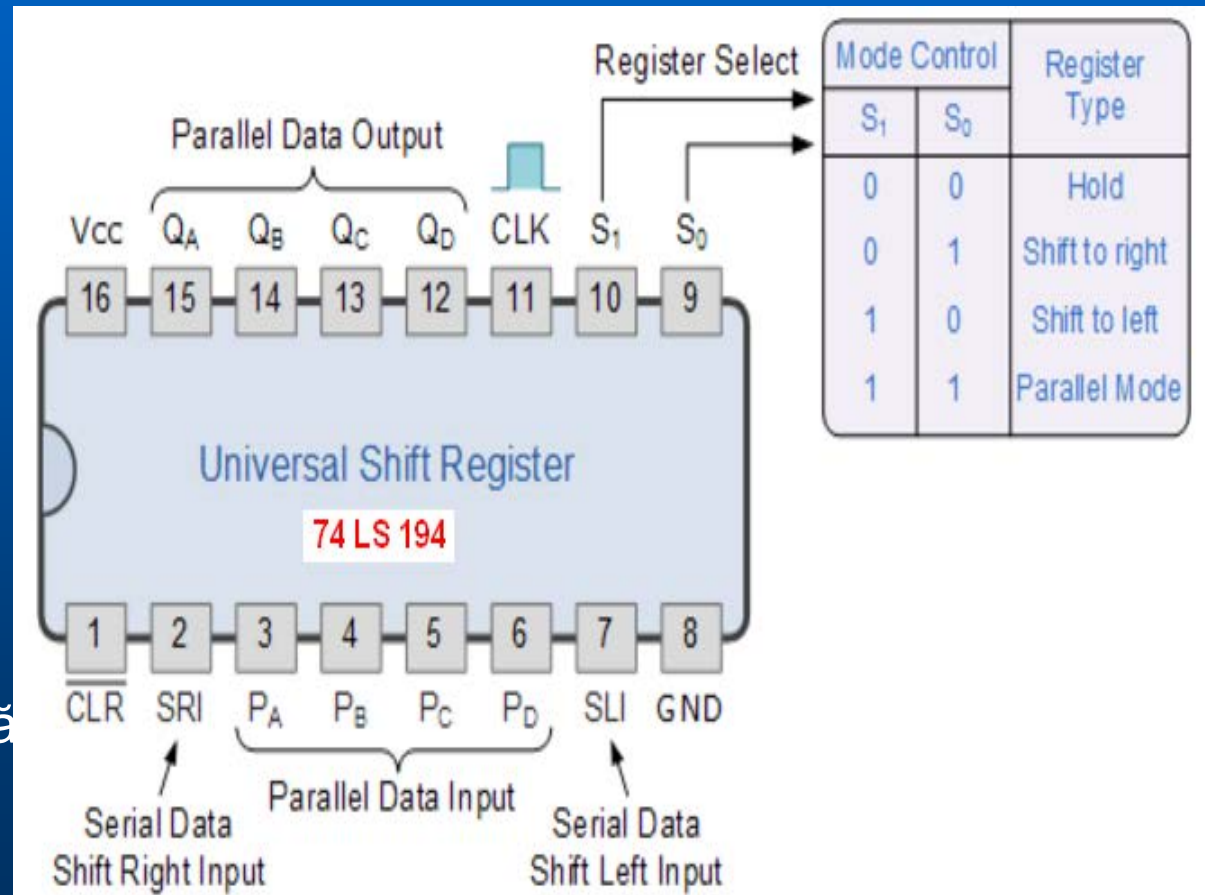




IV. Registre; Aplicații;

3. Registru universal

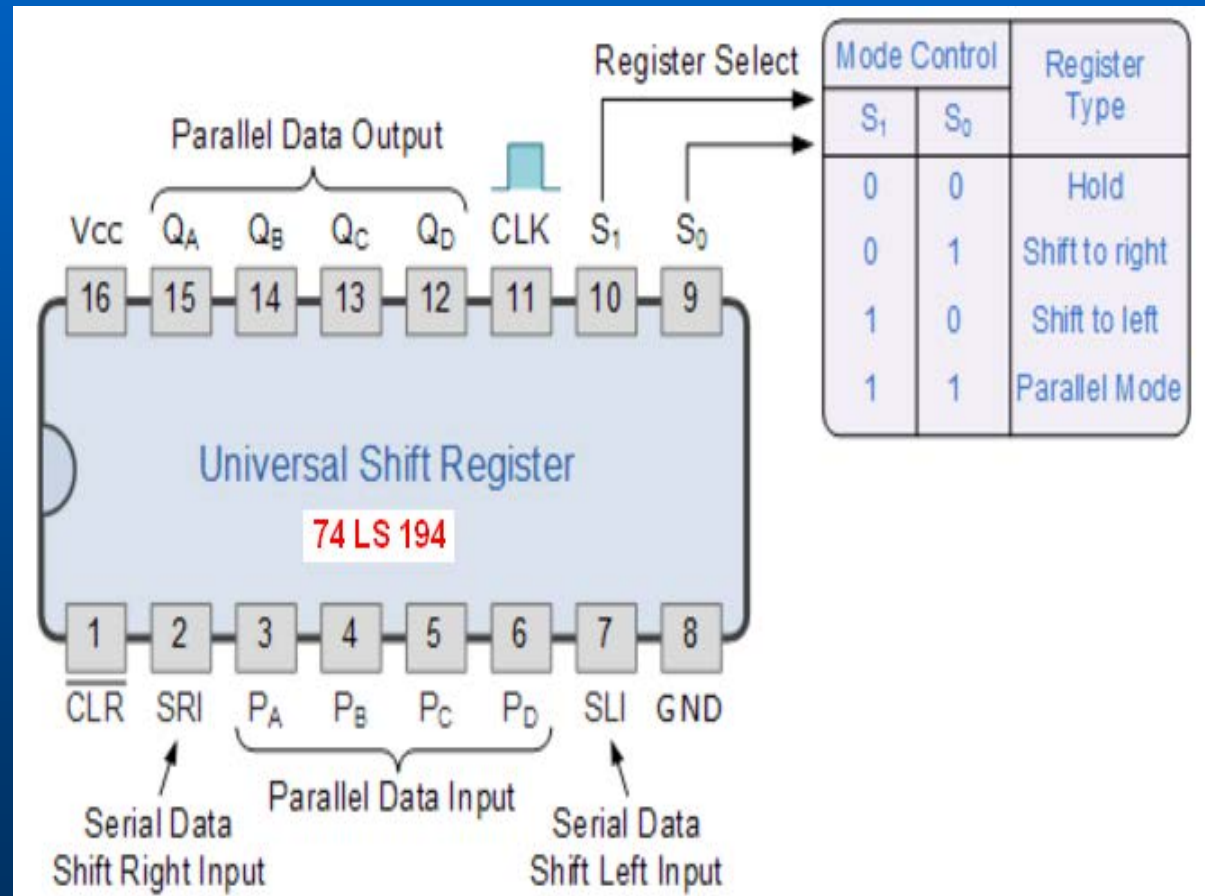
- Este cel mai flexibil circuit din clasa sa;
- **Încărcarea** se poate face serial sau paralel;
- Leșirea se poate face serial sau paralel;
- Deplasarea serială se poate face la stânga sau la dreapta;



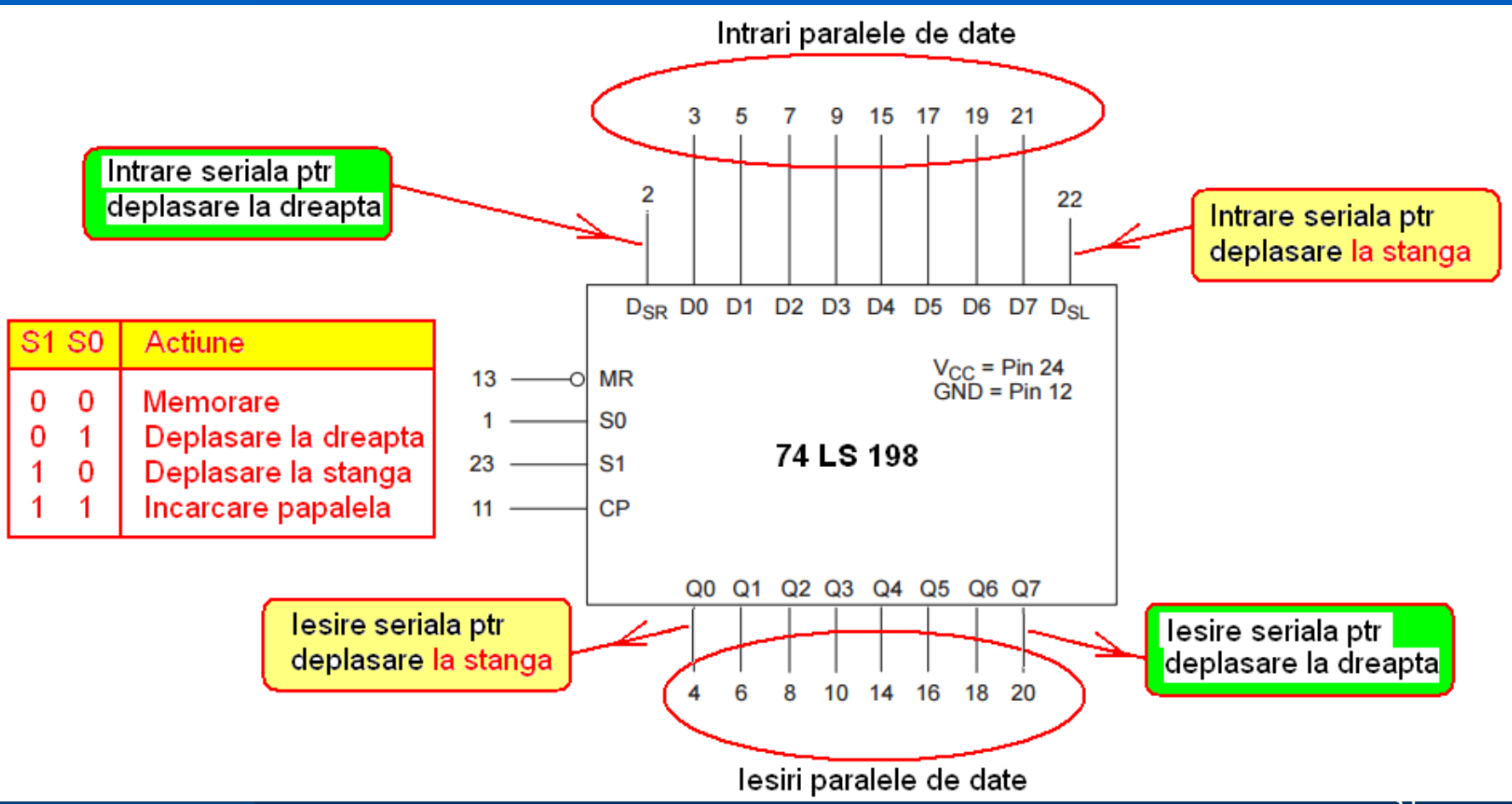
IV. Registre; Aplicații;

Registru universal

- Deplasarea la dreapta înseamnă deplasarea dinspre QA spre QD;
- Deplasarea la stânga înseamnă deplasarea dinspre QD spre QA;



IV. Registre; Aplicația 1;





IV. Registre; Aplicația 1;

Umplere / Golire bareta cu LED-uri

- Pentru **umplere**
 - pe intrarea serială ptr deplasare la **dreapta** trebuie aplicata valoarea de **unu** logic;
 - Pe intrările de control trebuie aplicată $S1S0 = 01$;
- Pentru **golire**
 - pe intrarea serială ptr deplasare la **stânga** trebuie aplicata valoarea de **zero** logic;
 - Pe intrările de control trebuie aplicată $S1S0 = 10$;
- **Semnalizări:**
 - Umplere bară – prin $Q7 = 1$; **Atenție! Activă pe UNU!**
 - Golire bară – prin $Q0 = 0$; **Atenție! Activă pe ZERO!**



IV. Registre; Aplicația 1;

Umplere / Golire bareta cu LED-uri

- Circuite necesare:

- 74198 registru universal pe 8 biți;
- 7404 inversor , pentru schimba nivelul activ al semnalului de golire bară;
- 7474 bistabil D cu intrări de SET si REST, pentru memorarea semnalelor necesare intrărilor S1S0;

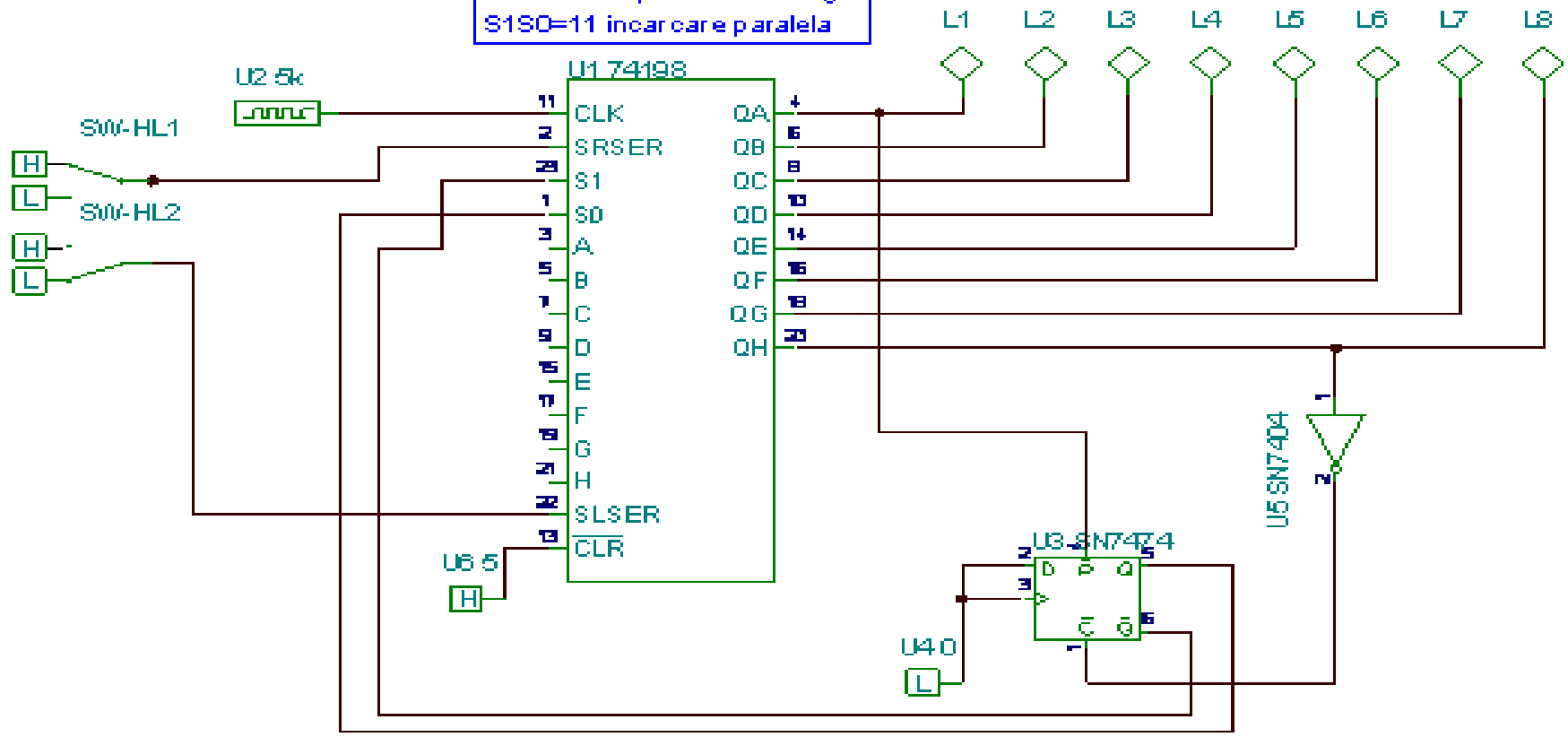
- Conexiuni necesare:

- La fiecare ieșire paralelă se conectează câte un LED;
- Ieșirile bistabilului comandă intrările de control S1S0;
- Semnalul de golire (Q0) comandă intrarea de SET a bistabilului;
- Semnalul de umplere (Q7), după inversare este folosit pentru comanda intrării de RESET a bistabilului;
- Intrarea serie spre dreapta = 1; Intrarea serie spre stânga= 0;

IV. Registre; Aplicația 1;



S1S0=00 nu face nimic
S1S0=01 deplasare la dreapta
S1S0=10 deplasare la stanga
S1S0=11 incarcare paralela



Stabilire directie de deplasare



Caracteristici generale:

- Circuite concepute pentru numărarea impulsurilor aplicate pe intrarea de ceas;

Clasificare:

- După sensul de numărare:
 - Înainte (UP);
 - Înapoi (DOWN);
 - Reversibile;
- După sistemul de numerație utilizat:
 - binare;
 - zecimale (cod BCD);
 - Coduri speciale;
- După structura internă:
 - asincrone;
 - sincrone;



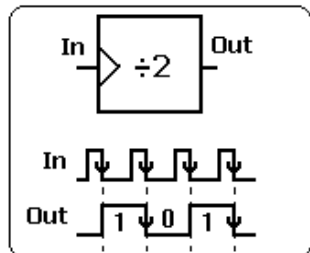
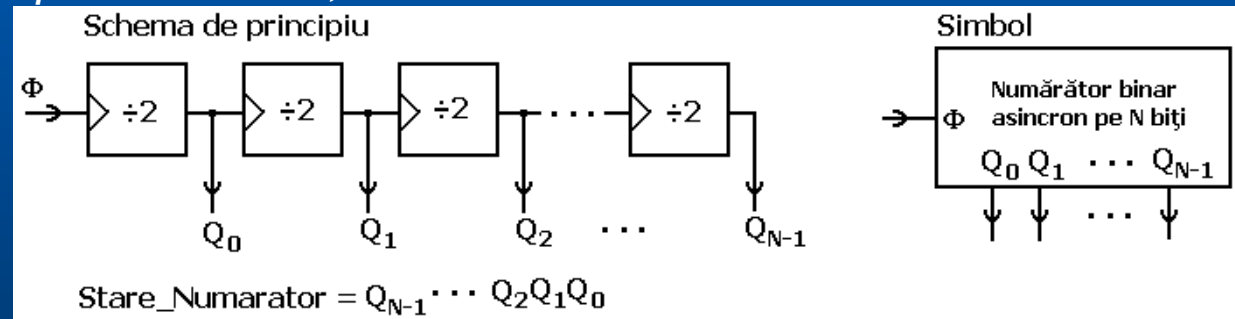
Aplicații tipice:

- **Numărarea de evenimente:**
 - *piese de pe o banda rulantă;*
 - *mașini ce intră într-o parcare cu plată;*
- **Implementarea divizoarelor de frecvență** (reducerea cu un factor K a frecvenței semnalului de intrare aplicat pe intrarea de ceas);
- **Măsurarea unui interval de timp** - la intrarea de ceas a numărătorului se aplică un semnal cu frecvență cunoscută (spre exemplu având perioada de 1ms);
- **Măsurarea frecvenței unui semnal de intrare** – numărarea impulsurilor de intrare de frecvență necunoscută este permisă un interval de timp bine determinat (spre exemplu 100ms);
- **Adresarea memoriilor;**

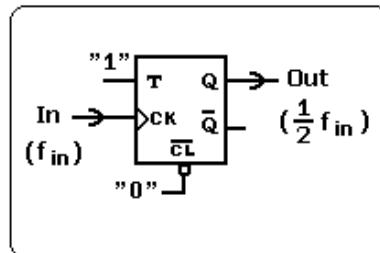
V. Numărătoare;

1. Numărătorul binar asincron – cu numărare înainte

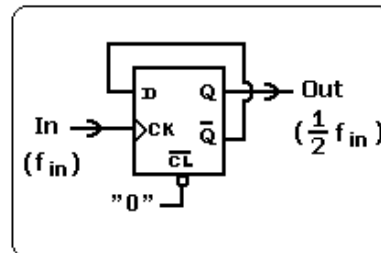
- Se obține prin legarea în cascadă a unor celule de divizare cu 2 a frecvenței semnalului de intrare;
- Bitul cel mai puțin semnificativ este notat cu Q_0 sau Q_a și este preluat după primul bistabil;



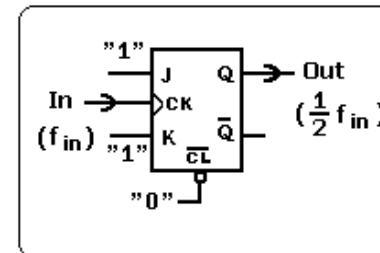
a) Celula de divizare cu 2



b) Realizare cu bistabil T



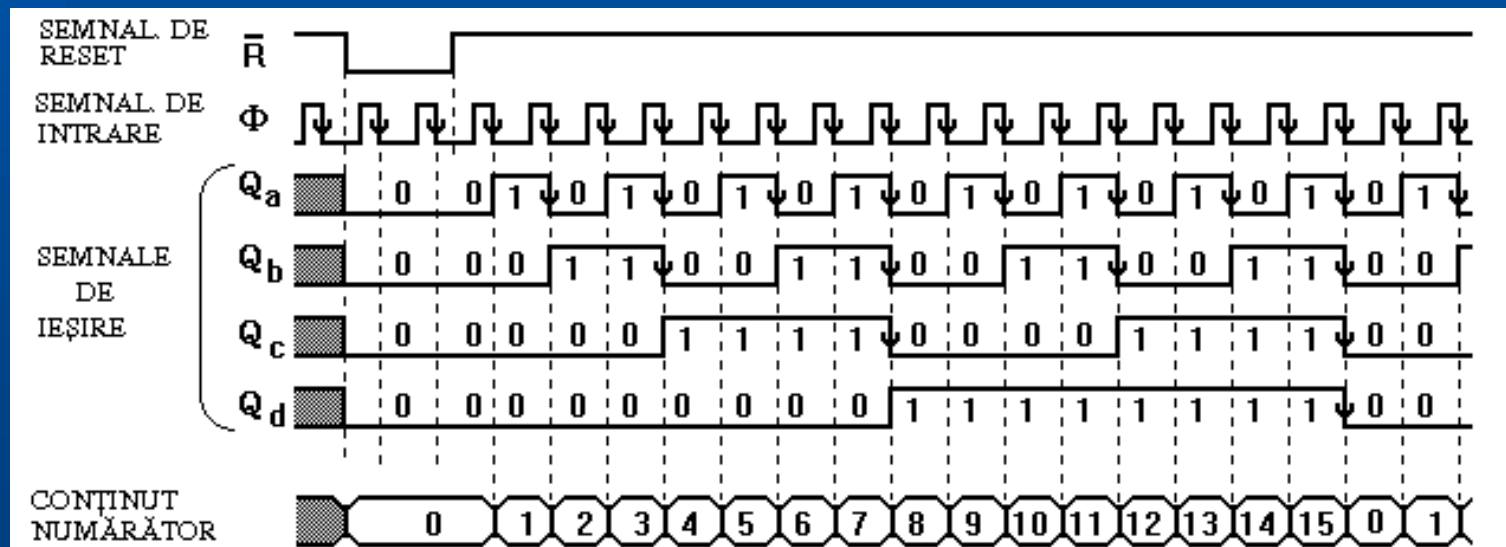
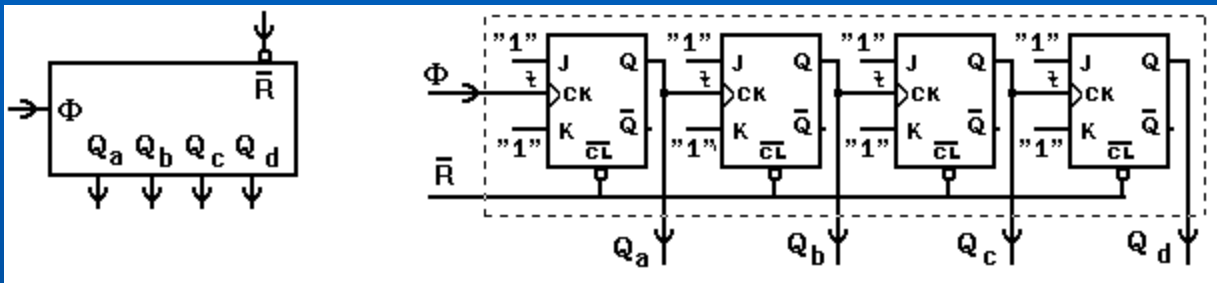
c) Realizare cu bistabil D



d) Realizare cu bistabil JK

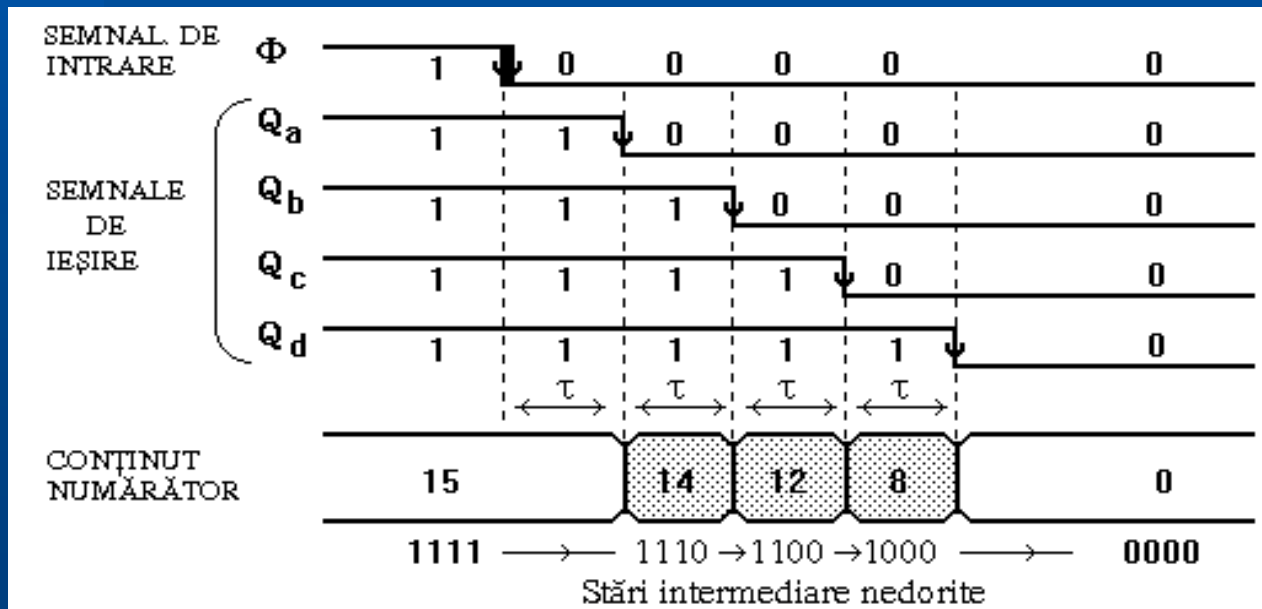
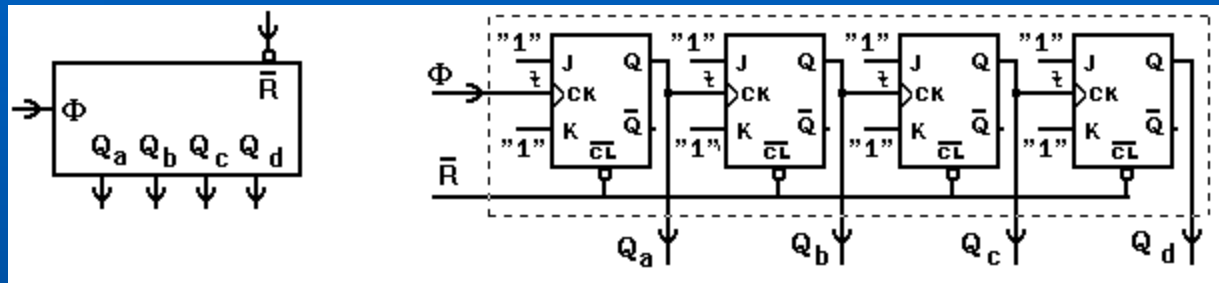
V. Numărătoare;

Exemplul 1: Numărător binar asincron pe 4 biți cu bistabili JK





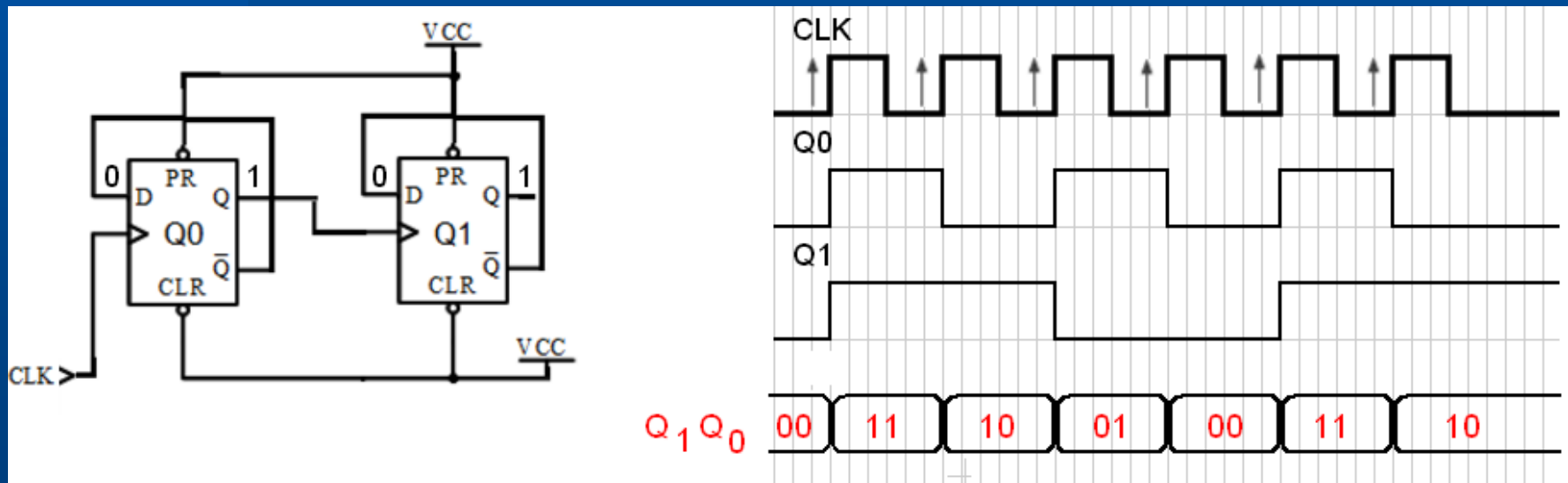
Exemplul 1: Apariția stărilor intermediare nedorite





Exemplul 2: Numărător binar asincron pe 2 biți cu bistabili D, cu numărare înapoi

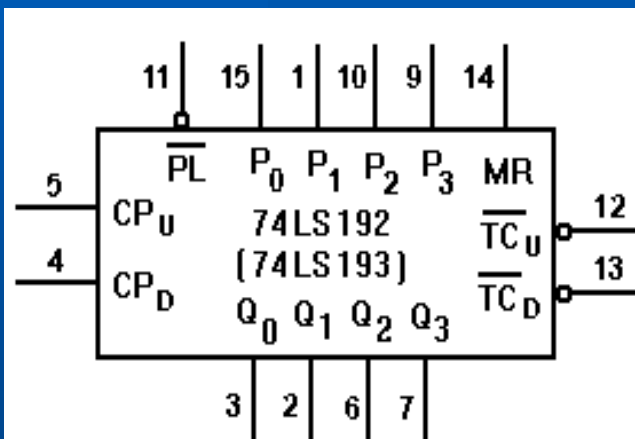
- intrarea de ceas a bistabililor este activă pe tranziția pozitivă;
- fiecare bistabil este configurat astfel încât să basculeze la fiecare tranziție activă de pe intrarea de ceas;
- se pot conecta și mai multe celule;





Exemplul 3: Circuitul 74193

Numărător binar sincron, presetabil, reversibil, pe 4 biți



Circuit	Numărare	LOAD	RESET
74 LS 192	BCD	asincron	asincron
74 LS 193	binar	asincron	asincron

Q₀ - Q₃ - Parallel Outputs

P₀ - P₃ - Parallel Inputs

CP_u - Count Up Clock Pulse (Active HIGH Going Edge) Input

CP_d - Count Down Clock Pulse (Active HIGH Going Edge) Input

MR - Asynchronous Master Reset (Active HIGH) Input

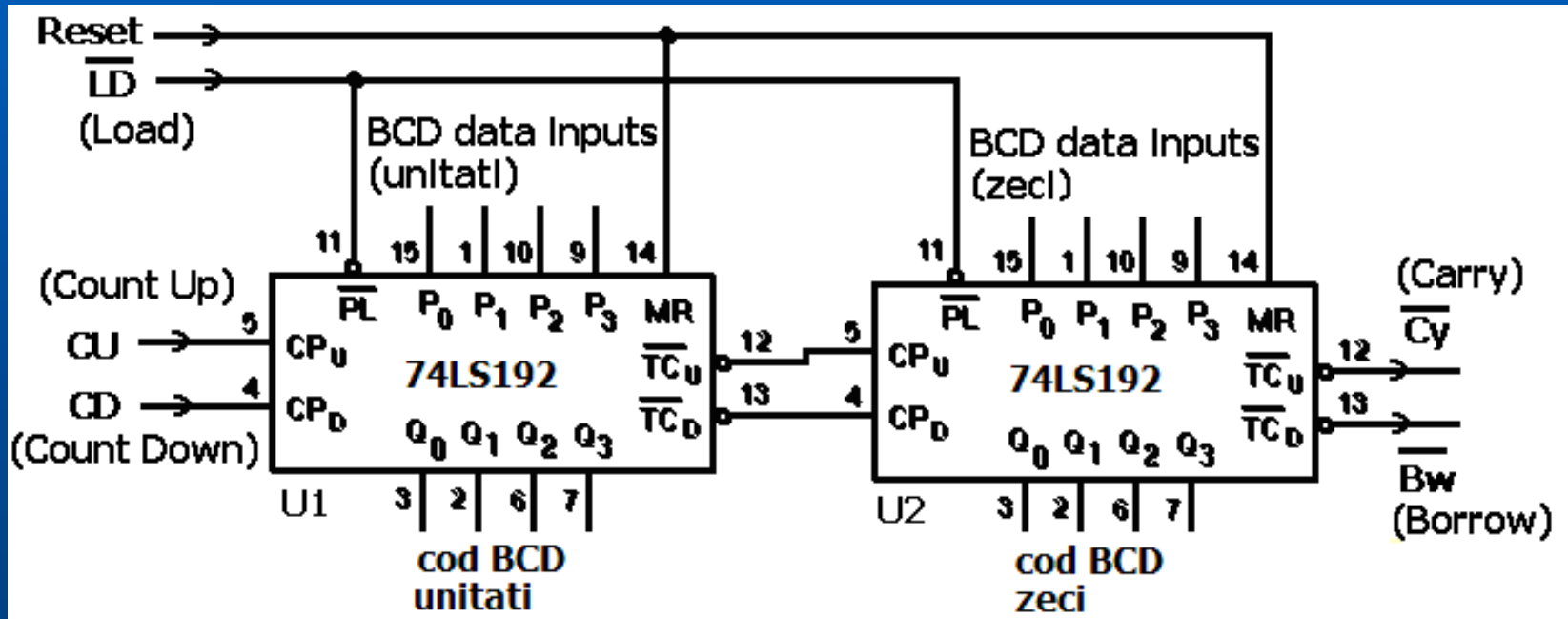
\overline{PL} - Asynchronous Parallel Load (Active LOW) Input

\overline{TC}_u - Terminal Count Up (Active LOW) Output

\overline{TC}_d - Terminal Count Down (Active LOW) Output



Exemplul 4: Numărător zecimal pe două decade





Mulțumesc pentru atenție !